

УДК 658.512.011.56, 681.3.06

О.В. Кутасова, А.Н. Карпов (5-й курс, каф. ИУС),
В.П. Котляров, к.т.н., проф.

РАЗРАБОТКА ИМИТАЦИОННОЙ МОДЕЛИ КОМПОНЕНТ ЯДРА ПРОЦЕССОРА POWERPC603E

Современный рынок программного обеспечения диктует жесткие требования на разрабатываемые системы. Системы должны быть надежными, высокопроизводительными, обладать гибкостью к любого рода изменениям предъявляемых к ним требований, обеспечивать возможность масштабирования и наращивания функциональности. Кроме того, разработка должна вестись быстро, качественно и с минимальными затратами.

В связи с этим одной из важнейших задач разработки становится качественное проведение этапов анализа и проектирования, обеспечивающих создание модели функционирования программной системы. Разработка модели сложной программной системы перед непосредственной ее реализацией является неотъемлемой частью всего проекта. Исследования систем на модели сопровождается меньшими затратами, чем многократное изготовление систем, в связи с выявленными ошибками на этапе, когда система готова.

Исходя из изложенных выше причин в настоящее время организации, занимающиеся производством качественного оборудования и программного обеспечения для него, уделяют большое внимание созданию программных моделей микросхем различных устройств, находящихся на этапе разработке. При разработке программной модели удаётся не только выявить ошибки, допущенные при проектировании, но и определить наиболее «узкие места» в микросхеме, которые могут являться потенциально опасными с точки зрения проявления внезапных отказов, связанных с неблагоприятными условиями эксплуатации, а также с ошибками использования устройства пользователем.

В целях изучения данного подхода была разработана имитационная модель архитектуры 32-х разрядного суперскалярного процессора PowerPC603e. Основной задачей при проектировании модели было обеспечение внешней синхронизации модулей процессора путём введения дополнительного модуля тактового генератора. Данный приём позволяет получить заданную точность приближения к реальному процессору в ущерб производительности модели (количество инструкций, исполняемых в единицу времени) по сравнению с событийной моделью.

Процессор PowerPC 603e основан на 32-разрядной архитектуре, которая предусматривает 32-разрядные исполнительные адреса, целочисленные типы данных длиной 8, 16, и 32 бита, и типы данных с плавающей точкой длиной 32 и 64 битов.

PowerPC603e - суперскалярный процессор. В процессоре может диспетчеризоваться на исполнение и завершать до трёх команд за один такт. Для повышения производительности команды могут выполняться не в порядке выборки из памяти; однако, завершение команд в процессоре 603e является последовательным. В процессоре интегрировано пять исполнительных устройств – модуль для выполнения целочисленных операций (IU), модуль для выполнения операций с плавающей точкой (FPU), модуль предсказания переходов (BPU), модуль загрузки/выгрузки памяти (LSU), и модуль для работы с системными регистрами (SRU). Способность выполнять пять команд параллельно и наличие простых команд с минимальным временем выполнения гарантирует высокую эффективность и производительность для систем, основанных на процессоре 603e. Большинство целочисленных команд выполняются за один такт. На процессоре 603e, модуль FPU и LSU имеет конвейер.

В процессоре 603e имеется шина передачи данных с переключаемой разрядностью (32 или 64 бита) и 32-разрядную шину адреса. Интерфейсный протокол процессора 603e позво-

ляет использующим его устройствам конкурировать за системные ресурсы через центрального внешнего арбитра. Процессор 603е предоставляет синхронный протокол с тремя состояниями, который поддерживает исключительное (exclusive), изменяемое (modified), и недопустимое (invalid) состояния кэша. Этот протокол является совместимым подмножеством протокола MESI (modified/exclusive/shared/invalid) для кэша с четырьмя состояниями.

Модель представляет собой совокупность программных модулей, каждый из которых отражает соответствующий аппаратно реализованный модуль. Модель каждого модуля является тактируемой. Для поддержки тактированной модели в систему введён тактовый генератор (ТГ). ТГ вырабатывает тактовые импульсы двух типов: с одинарным (получаемым от экспериментальной системы CoSim) и удвоенным периодом. Данное решение принято для избежания так называемой «потери такта», то есть ситуации, когда для принятия того или иного решения в программной модели требуется два такта, в то время как в процессоре достаточно одного. Это связано с невозможностью передать информацию между модулями между тактами.

Диспетчеризуемая инструкция первоначально поступает в некоторый буфер модуля RS (reservation station). По наличию или отсутствию команды в данном буфере оценивается занятость модуля. В этом буфере команда находится до момента разрешения исполнения. Данный момент определяется следующими основными факторами:

- завершение обработки модулем предыдущей команды для бесконвейерных модулей и освобождением первой ступени конвейера для конвейерных модулей;
- разрешение зависимости по данным в случае feed-forwarding, т.е. получение разрешения чтения регистров переименования.

С момента поступления инструкция на исполнение (и освобождение ею RS) она задерживается на количество тактов, определённое на исполнение данной инструкции в модуле. Инструкция прекращает исполнение, если пришло сообщение о HARD или SOFT_RESET от модуля BIU (Bus Unit Interface), а также, если для команды, выбранной по предсказанному условному переходу, получен сигнал о неверном предсказании. В случае завершения инструкции (нормальном или с исключением), она передаётся модулю Completion для завершения инструкции (регистры переименования переписываются в архитектурные либо обрабатывается исключение, произошедшее на команде). Помимо инструкций, направляемых на исполняющие модули диспетчером, существуют условные инструкции, которые поступают напрямую с модуля выборки Fetcher на модуль условных предсказаний BPU, где они исполняются, то есть выполняется предсказание перехода для команд условного перехода и расчёт для команд безусловного перехода. В обоих случаях результатом работы является выставление следующего адреса выборки для модуля Fetcher. Для команд условного перехода в случае неверного предсказания все выбранные по данному предсказанию команды удаляются из процессора, и выборка команд начинается заново с правильного адреса перехода.

В результате работы была построена структурная модель процессора с введением тактирования и проведено исследование его динамических характеристик. Также были введены некоторые внутримодульные архитектурные корректировки и были модернизированы и дополнены интерфейсы модулей и протоколы межмодульного взаимодействия. Полученные данные позволили провести кодирование и отладку модели в среде экспериментального симулятора CoSim. Введение тактирования и остальных доработок целесообразно было осуществить с точки зрения точности модели относительно спецификации процессора. В данном случае наблюдается проигрыш по скорости выполнения инструкций (основная функциональность модели) в 7-9 раз по сравнению с событийной моделью, но имеется возможность наблюдать более точную картину внутренней работы процессора. Данным приёмом удалось избавиться от существенного недостатка событийной модели: большой сложности межмодульного взаимодействия во времени. В результате чего добавление функциональности в моделируемые модули стал заметно проще.