

УДК 658.512.011.56: 681.3.06

В.В. Ильин (асп., каф. ИУС), В.П. Котляров, к.т.н., проф.

## ДИНАМИЧЕСКИЕ ПОДХОДЫ К ВЕРИФИКАЦИИ МОДЕЛЕЙ ПОЛУПРОВОДНИКОВЫХ УСТРОЙСТВ

Задача верификации моделей полупроводниковых устройств состоит в том, чтобы удостовериться, что разрабатываемая модель соответствует спецификации. Традиционные подходы основаны на верификации по методу «черного ящика» с использованием динамической симуляции.

Динамическая симуляция осуществляется путем запуска модели на симуляторе. Модель пишется либо на языке моделирования (наиболее распространены Verilog и VHDL), либо на языке общего применения, таком как C/C++, с использованием специализированных библиотек для моделирования. Динамический подход применяется на разных уровнях абстракции – поведенческие модели, модели уровня регистровых передач (RTL), уровня логических элементов (gate-level), транзисторного уровня (switch-level). Для каждого уровня существуют специализированные библиотеки элементов для конкретных языков моделирования.

Динамическая верификация представляет собой запуск тестов на модели с использованием симулятора. При этом необходимо разработать тестовое окружение (testbench), который либо включает в себя модель, либо присоединен к ней и является сущностью того же уровня симуляционной иерархии. В случае детерминистической верификации тесты состоят из определенной (детерминированной) последовательности подаваемых входных воздействий на модель и ожидаемых ответных реакций в соответствии с функциональной спецификацией на модель. Таким образом, проверяется правильность реализации функциональности, требуемой спецификацией (так называемая intended functionality).

Однако в верифицируемой модели вполне может быть реализована функциональность, не очевидная с системного уровня и потому не покрываемая детерминированными тестами. Для обнаружения возможных ошибок в реализации такой функциональности используется симуляция на случайных входных наборах данных (random verification). Также, случайные тесты могут покрыть дополнительное количество так называемых corner cases, то есть некоторых пограничных ситуаций, в которых функционирование отдельных элементов модели отличается от поведения в смежных ситуациях (пример corner case - попытка добавления элемента в полную очередь).

Для тестирования протоколов шин используются специальные модули, называемые шинными мониторами (bus monitor) или шинными контролерами (bus checker), которые реализуются на языке моделирования и являются, по сути, частью testbench. Мониторы контролируют правильность работы протокола шины в течение всего процесса симуляции и рапортуют в случае обнаружения нарушений. Шинные мониторы применяются как в случае детерминистической симуляции, так и случайной, во втором случае их использование особенно полезно.

При наличии эталонной модели (reference model или golden model), тестируемая модель верифицируется не на соответствие функциональной спецификации, а на эквивалентность эталонной модели. Данный подход к верификации может быть выполнен в двух режимах: во время симуляции (on-line) и после (off-line). В первом случае в testbench имеется специальный модуль, который в динамике сверяет поведение двух моделей, во втором случае одни и те же тесты прогоняются дважды и затем результаты симуляции (журнал или временные диаграммы) подаются на вход инструмента, осуществляющего проверку на эквивалентность. Типичным является использование reference model в процессе производства чипа на этапе внесения изменений в модель логических элементов (после синтеза из соответствующей RTL модели). В качестве reference model используется исходная RTL модель, предварительно от-верифицированная на соответствие спецификации.