

УДК 621.396

А.В.Барканов (6 курс, каф. РТТК), А.С.Коротков, д.т.н., проф.

## ПРОГРАММИРУЕМЫЕ АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ: КРАТКИЙ ОБЗОР

**ABSTRACT:** It is offered to use *Field Programmable Analog Array* (FPAА) to decrease a turn-around time of new circuit design. The main problems concerning to FPAА and some approaches to solve the problems are considered. Basic tendencies of FPAА development are presented.

Программируемые аналоговые интегральные схемы (ПАИС) предназначены для мелкосерийного изготовления устройств, а также разработки экспериментальных образцов при проектировании аналоговых усилителей, фильтров, простейших аналого-цифровых преобразователей. По принципу действия ПАИС сходны с программируемыми логическими интегральными схемами (ПЛИС). Место ПАИС в семействе специализированных ИС иллюстрируется диаграммой, приведенной на рис.1 [1–4], где *ASIC* (Application Specific Integrated Circuit) – специализированная ИС; *MPIC* (Mask Programmable IC) – неперепрограммируемая ИС; *UPIC* (User Programmable IC) – программируемая пользователем ИС. К программируемым цифровым, аналоговым и смешанным аналого-цифровым ИС соответственно относятся: *FPGA* (Field Programmable Gate Array) – ПЛИС; *FPAА* – ПАИС и *FPTA* (Field programmable Transistor Array) – программируемая транзисторная ИС (ПТИС) [5–6].

ПТИС относится к программируемым ИС с высокой степенью детализации. ПТИС состоит из транзисторных ячеек, содержащих набор транзисторов и программируемых ключей, что позволяет при помощи специальных алгоритмов проектировать на одном кристалле устройства как аналогового, так и цифрового типов. ПАИС содержит набор компонентов, коммутация которых позволяет реализовывать проектируемое устройство. Типовая архитектура ПАИС Anadigm AN10E40 и Motorola MPAА020 изображена на рис. 2 [2], где *CAB* (Configurable Analog Block) – конфигурируемый аналоговый блок (КАБ), *Interconnection Network* – сеть внутрисхемных соединений, *Input/Output blocks* – ячейки ввода/вывода. КАБ содержит операционный усилитель (ОУ), программируемый массив конденсаторов и либо программируемый массив резисторов, либо конфигурируемые переключатели для реализации цепей на переключаемых конденсаторах [2]. Каждый КАБ может быть запрограммирован для выполнения определенной функции обработки сигнала: фильтрации, интегрирования, дифференцирования, сравнения, выпрямления и др. [4]. Для реализации внутрисхемных соединений используются переключатели на 4-х КМОП транзисторах [7]. Применение ключей данного типа позволяет уменьшить влияние паразитных параметров, уменьшить шум и улучшить линейность переключателя [7].

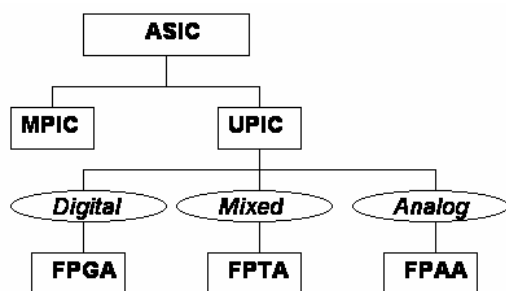


рис. 1 Семейство специализированных ИС

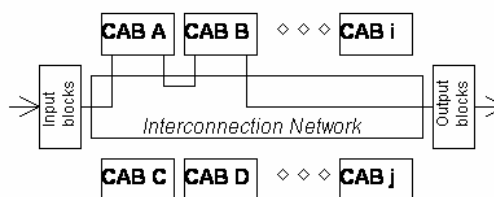


рис. 2 Архитектура ПАИС

Выделяются следующие направления в развитии ПАИС:

– *Расширение полосы рабочих частот.* ОУ, входящий в состав КАБ, определяет рабочую полосу частот ПАИС, которая для промышленно выпускаемых образцов составляет до единиц МГц [8]. Для расширения полосы частот вместо ОУ предлагается использовать транскондуктивные усилители (ТУ) [9–10] или токовые конвейеры (ТК) [11–12]. Полосы рабочих частот экспериментальных ИС составляют соответственно до 20 МГц и до 16 МГц. В работах представлен ТУ, передаточная проводимость которого программно перестраивается до 700 раз. ПАИС содержит матричный массив КАБов размерностью 5x8 ячеек на основе ТУ. Тестовая ПАИС на основе ТК содержит 4 КАБа.

– *Повышение точности реализуемых характеристик.* В работе [13] рассмотрено построение ПАИС на основе коммутируемой лестничной резистивной матрицы типа R-2R. Разработанное устройство содержит 4 функциональных блока на ОУ, охваченных резистивными обратными связями: 2 интегратора и 2 сумматора с взвешиванием. ПАИС позволяет реализовывать прецизионные аналоговые устройства в диапазоне частот до 1 МГц.

– *Расширение функциональных возможностей.* В работе [14] описана тестовая ПАИС, содержащая 4 идентичных канала, каждый из которых состоит из двух КАБ. Ресурсы схемы позволяют конфигурировать блок как: малопотребляющий усилитель с однополярным питанием, компаратор напряжения с малым временем переключения (1.5–4.7 нс в зависимости от нагрузки), микромощный ОУ (площадь усиления 162 кГц, напряжение питания +3 – +5 В, потребляемый ток 13 мкА), умножитель напряжения. ПАИС изготовлена по БиКМОП технологии.

#### ЛИТЕРАТУРА:

1. E.K.F. Lee, P.G. Gulak, "A CMOS Field-Programmable Analog Array", *IEEE J. Solid-State Circuits*, vol. 26, No. 12, Dec. 1991, pp. 1860-1867.
2. R. T. Edwards, K. Strohhahn, S. E. Jaskulek, R. Katz, "Analog Module Architecture for Space Qualified Field-Programmable Mixed-Signal Arrays," in *Proc. 2<sup>nd</sup> MAPLD*, Maryland, Sept. 1999.
3. "Product News, Automated Design for FPAAs," *Electron. Design*, June 2003, p. 38.
4. А.Данилов, "Аналоговые матрицы, программируемые пользователем", *Электронные компоненты*, №1, 2003, с. 67-68.
5. R.S.Zebulum, A.Stoica, D.Keymeulen, "A Flexible Model of a CMOS Field Programmable Transistor Array Targeted for Hardware Evolution," in *Proc. 3<sup>rd</sup> Int. Conf. on Evolvable Systems (ICES)*, Edinburg, UK, April 2000, pp. 274-283.
6. A.Stoica, R.Zebulum, D.Keymeulen, R.Tawel, T.Daud, A.Thakoor, "Reconfigurable VLSI Architectures for Evolvable Hardware: From Experimental Field Programmable Transistor Arrays to Evolution-Oriented Chips," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 9, No. 1, Feb. 2001, pp. 227-232.
7. E.K.F. Lee, P.G.Gulak, "Field Programmable Analogue Array Based on MOSFET Transconductors", *Electron. Letters*, vol. 28, No. 1, Jan. 1992, pp. 28-29.
8. S.Ganesan, R.Vemuri, "Technology Mapping and Retargeting for Field-Programmable Analog Arrays", in *Proc. DATE*, Paris, Mar. 2000, pp. 58-64.
9. B.Pankiewicz, M.Wojcikowski, S.Szczepanski, Y.Sun, "A Field Programmable Analog Array for CMOS Continuous-Time OTA-C Filter Applications", in *Proc. ISCAS*, Sydney, May 2001, vol. 1, pp.5-8.
10. B.Pankiewicz, M.Wojcikowski, S.Szczepanski, Y.Sun, "A Field Programmable Analog Array for CMOS Continuous-Time OTA-C Filter Applications", *IEEE J. Solid-State Circuits*, vol. 37, No. 2, Feb. 2002, pp. 125-136.
11. V.Gaudet, G.Gulak, "Towards a Current Conveyor-Based Field-Programmable Analog Array", *1997 ITRC Annual Retreat*, Kingston, Ontario, May 1997.
12. V.Gaudet, G.Gulak, "10 MHz Field Programmable Analog Array Prototype Based on CMOS Current Conveyors", *1999 Micronet Annual Workshop*, Ottawa, Ontario, April 1999.
13. C.A.Looby, C.Lyden, "Op-amp Based CMOS Field-Programmable Analogue Array", *IEEE Proc. – Circuit Devices Syst.*, vol 147, No. 2, April 2000, pp. 93-99.

14. M.A.Baturitsky, O.V.Dvornikov, V.A.Tchekhovsky, "An Analog bipolar-JFET Master Slice Array for Multichannel Front-End Electronics", in *Proc. 1<sup>st</sup> IEEE Conf. Circuits and Systems for Communications*, St.Petersburg, June 2002, pp. 20-23.