

УДК 681.3

А.Ю.Федоров (асп., каф. АиВТ), А.С.Филиппов, к.т.н., доц.

РАЗРАБОТКА МЕТОДИКИ ИСПОЛЬЗОВАНИЯ ВСТРОЕННЫХ СРЕДСТВ ОТЛАДКИ ДЛЯ СИСТЕМ НА КРИСТАЛЛЕ

Задачи верификации актуальны на всех этапах проектирования цифровых устройств? начиная с проверки спецификации устройства на наличие ошибок и заканчивая верификацией на основе физической модели – плате-прототипе. Положительные результаты верификации устройства именно на этом этапе позволяют говорить о работоспособности устройства в целом. Можно выделить здесь две области: уровень непосредственно элементарных элементов СБИС, в которой будет размещаться цифровое устройство, и уровень функционирования устройства в целом, то есть обеспечение пользовательской функциональности. Именно этой области посвящена данная работа.

Одним из перспективных методов, используемых в настоящий момент при моделировании является механизм «утверждений». Он подразумевает расстановку внутри моделируемого кода «закладок», проверяющих работу тех или иных функций по мере их срабатывания, не дожидаясь распространения следствия данного срабатывания на выход схемы. Для этой цели создан ряд языков, среди которых можно назвать такие как Open Verification Libraries (OVL), Property Specific Language (PSL) и OpenVera Assertions (OVA). Они применяются при моделировании устройств. В данной работе произведено построение методики, позволяющей создавать встраиваемые средства отладки на основе задания «утверждений», описывающих работу тестируемого устройства.

Можно выделить четыре основных этапа методики. На первом этапе задаются правила, по которым должно работать устройство, на втором производится создание описания тестирующего устройства. На третьем происходит синтез и размещение, а на четвертом — непосредственно тестирование.

На первом этапе происходит выбор правил на основе описания устройства и их формальная запись. Задание правил может осуществляться эвристически либо автоматически на основе формальной спецификации устройства. Для записи правил могут использоваться различные средства, в нашем случае разработан простой язык для задания правил.

На следующем этапе происходит создание описания тестирующей аппаратуры и его совмещение с исходным кодом разрабатываемого устройства. Для создания описания необходимо, в первую очередь, определиться со структурой элементарных аппаратных блоков и средств их задания. После этого необходимо построить транслятор с выбранного языка задания правил в описание на выбранном языке описания аппаратуры. Данный процесс после проработки полностью автоматизируем. Этап синтеза и размещения полученного результирующего описания проводится с помощью стандартных средств и не требует уделения особого внимания.

Для реализации приведенной методики выбраны элементарные правила, позволяющие задавать требования к тестируемому устройству: события, сравнение значений сигналов, установление временных соотношений между событиями, конечные автоматы, дающие возможность абстрагироваться от уровня сигналов и временных интервалов и строить сложные иерархии.

В свете этих элементарных правил рассмотрена пригодность языка OpenVera Assertions, отмечены ряд плюсов и минусов. В итоге создан язык, дающий возможность показать применимость методики на практике. На основе элементарных правил созданного

языка построены структуры элементарных аппаратных модулей, произведен выбор наиболее эффективных структур. В качестве языка реализации выбран `vhdl`, являющийся одним из самых популярных при создании цифровых устройств. Для создания выбрана блочно-иерархическая структура как наиболее удобная для автоматической генерации. На основе достигнутых результатов создан транслятор, позволяющий из исходного языка задания правил получить `vhdl`-код тестирующего устройства, произведено его тестирование в типичном случае – при обмене с внешней флэш-памятью.