

РАЗРАБОТКА СИСТЕМЫ ТЕСТИРОВАНИЯ БМК С УПРАВЛЕНИЕМ ЛОГИЧЕСКИМИ УРОВНЯМИ СИГНАЛОВ

Создание высоконадежных устройств требует комплексного тестирования микросхем на расширенных тестах в широком диапазоне изменения условий и напряжения питания. Такие проверки должны быть выполнены системами входного контроля, которые в настоящее время являются громоздкими и неэффективными, либо в них не определяется запас параметрической устойчивости, то есть дополнительные уровни напряжения, температуры и т. д.

Таким образом, разработка компактной системы тестирования с управлением логическими уровнями сигналов важна и имеет практическую значимость. В работе описана система тестирования БМК в реальном времени с управлением логическими уровнями сигналов, которая позволяет оценить не только функциональную надежность и исправность микросхем, но и оценить запас параметрической устойчивости.

На кафедре АиВТ ведутся работы по верификации и тестированию цифровых устройств и систем в рамках гранта Министерства Образования РФ. В рамках этих работ разработана и реализована инновационная система тестирования специализированных СБИС и, в частности, БМК ОАО "Ангстрем" и "ОАО НИИМЭ и Микрон". Система позволяет осуществлять цифровое тестирование микросхем на рабочих частотах и имеет преимущества перед аналогами по функциональности и мобильности. Однако в существующей реализации отсутствуют возможности управления логическими уровнями сигналов.

В систему заложены следующие основные принципы:

- непосредственная выдача логических сигналов с одной микросхемы;
- тестирование в реальном времени на рабочих частотах;
- расширяемость;
- мобильность.

Новые функции хорошо вписываются в существующую архитектуру системы (рис. 1). На архитектурном уровне добавляются дополнительный модуль управления питанием и двунаправленный буфер с отдельным питанием портов. Управление логическими уровнями сигналов осуществляется путем управления питанием буферов, включенных между источником тестирующих сигналов и испытуемой микросхемой. Введение дополнительных элементов вносит соответствующие задержки в линии сигналов.

В системе предусмотрена возможность компенсации задержек прохождения сигнала до тестируемой микросхемы отдельно для каждого канала. В тестирующем модуле системы имеется матрица задержек, компенсирующая время прохождения сигнала до микросхемы и обратно. Значения конкретных элементов матрицы могут зависеть как от проведенного моделирования прохождения сигнала, так и от желания тестирующего.

Конструктивно основой системы тестирования служит материнская плата тестирующего устройства (рис. 2). Она содержит контактирующее устройство 4 для микросхемы определенного типа (CFP, 4-й тип по ГОСТ 17467-88), а также два разъема, предназначенных для тестирующих плат. 1 - для платы цифрового тестера, осуществляющей функциональное тестирование, 2 - для платы цифрового осциллографа, осуществляющей параметрический контроль.

Двунаправленные буферы, включенные между источниками сигналов, имеют два напряжения питания – фиксированное, со стороны ПЛИС, и варьированное, со стороны тестируемой микросхемы. Изменение напряжений питания осуществляется ШИМ сигналом с цифрового тестера. Управление питанием буферов и тестируемой микросхемы - раздельное.

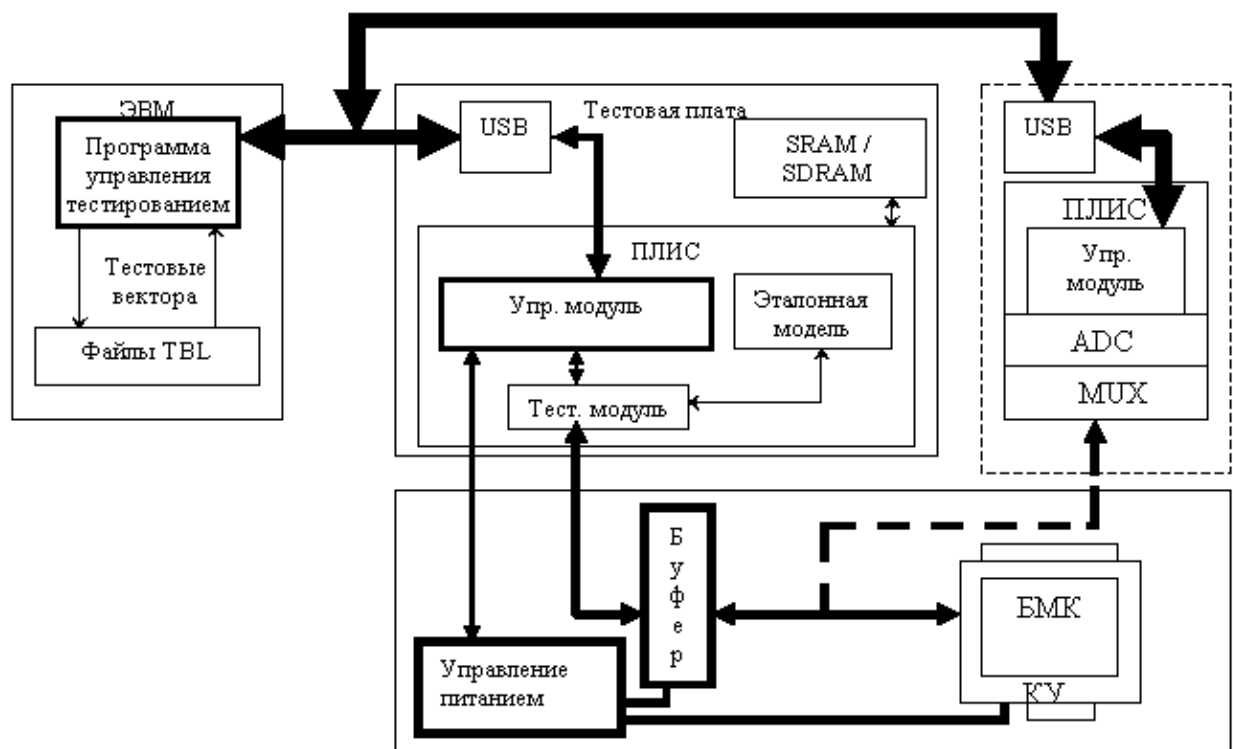


Рис. 1. Архитектура системы

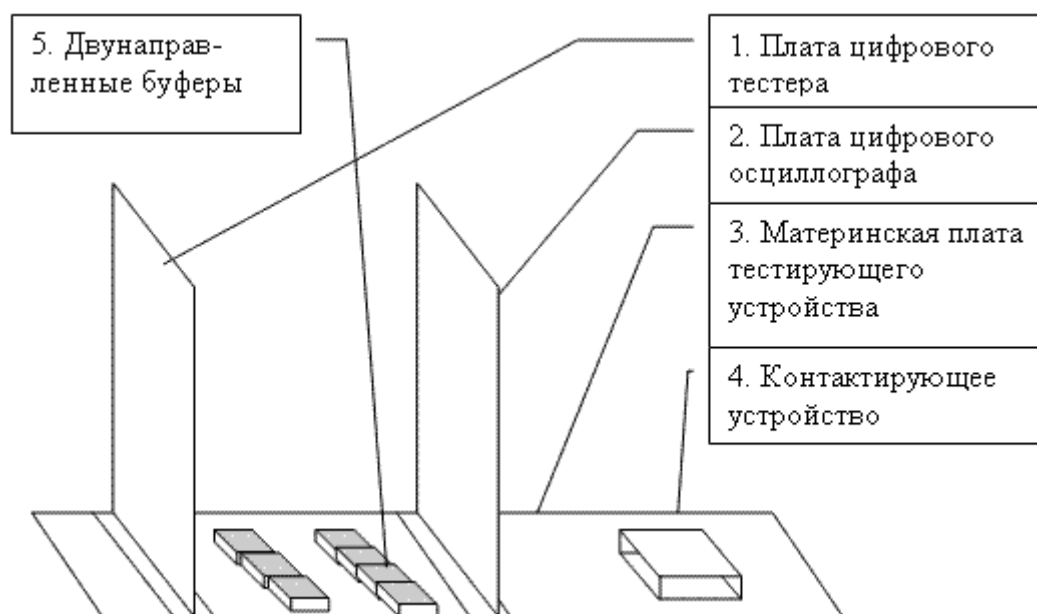


Рис. 2. Конструктив системы

Разработанная система в полной мере удовлетворяет поставленным в работе требованиям и показывает эффективность применения двухнаправленных буферов с раздельным питанием как средств управления логическими уровнями сигналов, сохраняя такой важный параметр как компактность системы.