

На правах рукописи



Енученко Михаил Сергеевич

**СИНТЕЗ И РЕАЛИЗАЦИЯ ПАРАЛЛЕЛЬНОГО ЦИФРО-АНАЛОГОВОГО
ПРЕОБРАЗОВАТЕЛЯ С ПОВЫШЕННЫМИ ДИНАМИЧЕСКИМИ
ХАРАКТЕРИСТИКАМИ**

Специальность 05.12.04 – радиотехника, в том числе системы и устройства
телевидения

АВТОРЕФЕРАТ

на соискание учёной степени кандидата технических наук

Санкт-Петербург 2018

Работа выполнена в федеральном государственном автономном образовательном учреждении высшего образования «Санкт-Петербургский политехнический университет Петра Великого».

Научный руководитель:

Коротков Александр Станиславович
доктор технических наук, профессор

Официальные оппоненты:

Соловьёва Елена Борисовна
доктор технических наук, доцент
заведующий кафедрой ТОЭ СПбГЭТУ "ЛЭТИ"

Коровин Константин Олегович
кандидат физико-математических наук
доцент кафедры РОС СПбГУТ

Ведущая организация:

ГНЦ РФ АО «Концерн
«ЦНИИ «Электроприбор»

Защита состоится «20» декабря 2018 года в 14 часов на заседании диссертационного совета Д212.229.01 в ФГАОУ ВО «Санкт-Петербургский политехнический университет Петра Великого» по адресу: 195251, г. Санкт-Петербург, ул. Политехническая, д. 29, 4 учебный корпус, ауд. 305.

С диссертацией можно ознакомиться в фундаментальной библиотеке ФГАОУ ВО «Санкт-Петербургский политехнический университет Петра Великого» и на сайте университета www.spbstu.ru.

Автореферат разослан « »

2018 г.

Учёный секретарь
диссертационного совета Д212.229.01
доктор технических наук, профессор

Коротков Александр Станиславович



ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы исследования

В системах телекоммуникаций развитие цифровых способов управления и их интеграция с аналоговой частью вызывают потребность в интерфейсных устройствах таких, как цифро-аналоговые преобразователи. Цифро-аналоговый преобразователь (ЦАП) осуществляет преобразование цифрового кода в аналоговый сигнал. Требования, выдвигаемые к ЦАП, касаются разрядности, быстродействия, нелинейности, потребляемой мощности и динамического диапазона.

Наиболее востребованными в системах телекоммуникаций оказываются параллельные ЦАП. В параллельных ЦАП обработка всех разрядов цифрового кода, подаваемого на вход ЦАП, происходит одновременно (или параллельно). В ЦАП для формирования выходного аналогового сигнала используются так называемые «взвешивающие элементы». Взвешивающий элемент в зависимости от управляющего сигнала формирует аналоговый сигнал в виде тока или напряжения, пропорциональный по величине «весу» этого элемента. Для параллельных ЦАП существует две базовых архитектуры: бинарная и унарная. В бинарной архитектуре число взвешивающих элементов равно разрядности ЦАП N , а «веса» взвешивающих элементов представляют последовательность чисел $2^0, 2^1, \dots, 2^{N-1}$. В унарной архитектуре число взвешивающих элементов равно $2N-1$, а «веса» одинаковы и равны 1. В параллельных ЦАП используются три типа взвешивающих элементов: резистивные, ёмкостные и источники тока.

Одно из требований к ЦАП в телекоммуникационных системах – их динамические характеристики. Причём одной из наиболее востребованных характеристик является динамический диапазон, свободный от паразитных составляющих (SFDR – spurious free dynamic range). На данную характеристику влияют как скорость переключения при смене входного цифрового сигнала, так и характер переходного процесса при переключении, а статическая нелинейность определяет максимально достижимое значение SFDR в области низких частот.

Целью данной работы является разработка методики синтеза и реализация цифро-аналогового преобразователя с повышенными динамическими характеристиками. Для достижения поставленной цели были решены следующие задачи:

1. Разработка методики синтеза «термометрического» дешифратора;
2. Анализ динамического диапазона, свободного от паразитных составляющих, с использованием функциональной модели ЦАП;
3. Анализ динамического диапазона, свободного от паразитных составляющих, с использованием схемы ЦАП на источниках тока;
4. Разработка методики расстановки взвешивающих элементов на топологии кристалла ЦАП для компенсации влияния систематической ошибки и снижения нелинейности;
5. Разработка и экспериментальные исследования резистивного ЦАП для проверки основных теоретических выводов.

Научная новизна результатов диссертационной работы:

1. Предложена формализованное правило формирования логической функции произвольного выхода «термометрического» дешифратора произвольной разрядности для разработки дешифратора со сниженным числом логических элементов и сниженной задержкой;
2. Показано, что для повышения динамического диапазона, свободного от паразитных составляющих, следует использовать каскодную и широкодиапазонную схемы источника тока, а также схему коммутации с постоянными переключениями, исключаящую кодovou зависимость длительности переходного процесса;
3. Установлено, что асимметричное размещение взвешивающих элементов на топологии кристалла ЦАП позволяет снизить интегральную нелинейность, причём без разделения взвешивающего элемента на части не обеспечить снижения дифференциальной нелинейности;
4. Предложена модифицированная структура ЦАП на основе линейки сопротивлений с вдвое меньшим числом ключей и использованием КМОП-транзисторов в качестве взвешивающего элемента для повышения выхода годных микросхем и сокращения занимаемой площади кристалла ЦАП;

Практическая и теоретическая значимость результатов диссертационной работы:

1. Предложена методика структурного синтеза дешифратора, позволяющая полностью автоматизировать разработку дешифратора произвольной разрядности;
2. Предложена методика анализа с использованием функциональной модели ЦАП, позволяющая определять разрядность и соотношение частот для достижения требуемого динамического диапазона, свободного от паразитных составляющих;
3. Предложена методика параметрического синтеза ЦАП на источниках тока для заданного динамического диапазона, свободного от паразитных составляющих;
4. Предложена методика структурного синтеза «термометрического» дешифратора произвольной разрядности, позволяющая автоматизировать разработку «термометрического» дешифратора.

Методы исследования

При решении поставленных задач использовались методы анализа и синтеза электрических цепей, в том числе анализ во временной области, синтез кода на языке описания аппаратуры, функциональное и эквивалентное представление электрических схем, моделирование профиля систематической ошибки. Расчёты и моделирование проводились с применением программы MatLab и программного пакета Cadence Virtuoso. Для проведения экспериментальных исследований разработана программно-аппаратная платформа с использованием среды программирования LabVIEW и платы сбора данных от компании National Instruments.

Положения, выносимые на защиту:

1. Для уменьшения задержки «термометрического» дешифратора при многомерном построении дешифратора следует разбивать входной код на оптимальное число групп

одинаковой разрядности, определяемое при каскадном построении поддешифраторов как квадратный корень из разрядности дешифратора.

2. Для увеличения динамического диапазона, свободного от паразитных составляющих, необходимо либо исключить кодовую зависимость длительности переходного процесса, либо уменьшать частоту восстанавливаемого сигнала за счёт уменьшения отношения f/f_s .
3. Для получения достоверной оценки уровня SFDR в ЦАП на источниках тока с учётом конечности выходного сопротивления источника тока необходимо учитывать отношение тока утечки к току источника тока;
4. Для полной компенсации систематической ошибки до 3 порядка аппроксимации ошибки включительно следует использовать методики размещения взвешивающих элементов ЦАП, в которых элемент разбит на 2^N частей, находящихся в каждом столбце и каждой строке массива взвешивающих элементов;
5. Расстановка взвешивающих элементов на топологии кристалла ЦАП по методике «Шахматный конь», обеспечивающая одинаковое расстояние между взвешивающими элементами на топологии, позволяет повысить уровень SFDR, снижая максимальную и среднюю интегральную нелинейность ЦАП на 20%.

Степень достоверности и апробация результатов

Достоверность результатов работы и обоснованность научных выводов подтверждается соответствием представленных аналитических расчётов и результатов моделирования на схемотехническом уровне с данными экспериментальных измерений, проведённых на современном оборудовании.

Основные результаты работы докладывались и обсуждались на следующих научно-технических конференциях: X международный научно-практический семинар «Проблемы современной аналоговой микросхемотехники», Шахты, ИСОиП (филиал) ДГТУ, 1-2 октября 2013; VI Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем – 2014 (МЭС-2014)», Москва, ИППМ РАН, 29 сентября – 03 октября 2014; VIII Научно-технической конференции молодых специалистов по радиоэлектронике, Санкт-Петербург, ОАО «Авангард», 28 апреля 2015; 2016 IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (EIConRusNW), Санкт-Петербург, СПбГЭТУ, 2–3 февраля 2016; Материалы XVIII конференции молодых учёных «Навигация и управление движением» с международным участием, Санкт-Петербург, ГНЦ РФ АО «Концерн «ЦНИИ «Электроприбор», 15–18 марта 2016; 2017 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), Санкт-Петербург, СПбГЭТУ, 1–3 февраля 2017, 29 января – 1 февраля, 2018; 2018 International Symposium on Consumer Technologies (ISCT), Санкт-Петербург, Российская Северо-Западная секция IEEE, 11-12 мая 2018.

Структура и объем диссертации

Диссертация состоит из введения, шести глав, заключения и списка литературы. Общий объём диссертационной работы составляет 150 страниц, в том числе 150 страницы основного текста, 99 рисунков, 25 таблицы и списка литературы из 97 наименований.

Вклад автора в разработку проблемы

Основные научные положения, теоретические выводы, практические рекомендации, расчёты, моделирование и экспериментальные результаты в диссертационной работе разработаны и выполнены автором самостоятельно.

КРАТКОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении показана актуальность, научная новизна и практическая значимость диссертационной работы, сформулированы цель и задачи исследования, изложены положения, выносимые на защиту.

В первом разделе обсуждаются типы цифро-аналоговых преобразователей (ЦАП). Введено понятие входного кода ЦАП. Перечислены характеристики, используемые для описания ЦАП, и дано их определение в рамках темы работы. Рассмотрены архитектуры параллельных ЦАП и типы взвешивающих элементов. Затронуты проблемные вопросы при разработке цифровой части современного ЦАП – «термометрического» дешифратора. Перечислены факторы, вызывающие снижение динамического диапазона, свободного от паразитных составляющих, в том числе модуляция выходного импеданса источника тока, рассогласование взвешивающих элементов, рассогласование и рассинхронизация управляющих сигналов, просачивание управляющих сигналов в выходную цепь.

Во втором разделе рассматривается цифровая часть ЦАП – «термометрический» дешифратор. Проведён обзор известных способов построения дешифратора. Отмечено, что их недостатком является необходимость в использовании дешифраторов меньшей разрядности. Такая рекурсия не позволяет осуществлять оптимизацию путей прохождения сигналов по времени задержки. В общем виде задача построения дешифратора произвольной разрядности без рекурсии не решена. В качестве решения этой задачи предложена методика формирования логической функции произвольного выхода дешифратора произвольной разрядности на основе сформулированного в работе правила. Данное правило следует из свойств таблицы истинности для «термометрического» дешифратора и формулируется следующим образом:

1. Перевести номер выхода дешифратора (номера начинаются с 1) с учётом разрядности дешифратора в двоичное представление $\overline{a_N} \dots \overline{a_2 a_{12}}$, где старший разряд a_N стоит слева, а младший a_1 – справа, N – разрядность дешифратора;
2. Определить логическое выражение выхода дешифратора на i -ой итерации $y^{(i)}$ по рекуррентной формуле:

$$y^{(i)} = \begin{cases} x_i \cdot y^{(i-1)}, & \text{если } a_i = 1 \\ x_i + y^{(i-1)}, & \text{если } a_i = 0 \end{cases}, y^{(0)} = 1.$$

Причём число итераций равно N , x_i – разряды входного кода дешифратора, формирование логического выражения начинается с младшего разряда a_1 .

Таким образом, становится возможным проектирование дешифратора с уменьшенным числом транзисторов и уменьшенной задержкой. Проведено сравнение способов построения дешифратора.

Рассмотренные способы построения предполагают, что разработкой схемы и топологии разработчик проводит в неавтоматизированном режиме. Для автоматизации процесса проектирования дешифратора произвольной разрядности предлагается новый маршрут проектирования с использованием таких сред проектирования, как: MatLab и Cadence Encounter. Сравнение маршрутов проектирования показано на рис. 1.

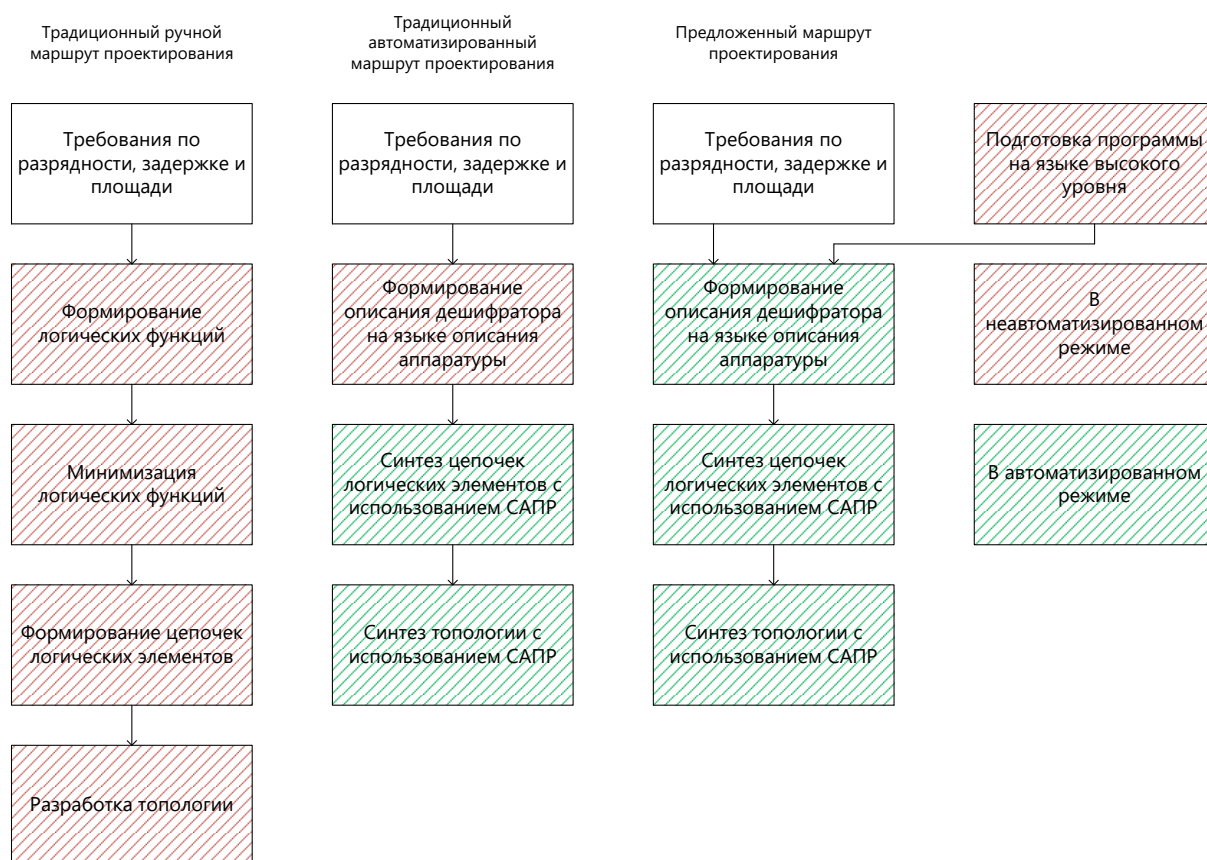


Рис. 1

Предложенный маршрут позволяет этап создания файла описания дешифратора под конкретную разрядность перевести в автоматизированный режим, оставив в неавтоматизированном режиме лишь однократную подготовку программы на языке высокого уровня. Таким образом, в предложенном маршруте все этапы разработки дешифратора проводятся в автоматизированном режиме.

В третьем разделе проводится анализ динамического диапазона, свободного от паразитных составляющих (SFDR), в функциональной модели ЦАП. Выходной сигнал функциональной модели $s(t)$ представляется в виде:

$$s(t) = \sum_{k=-\infty}^{+\infty} h(t - kT_s) \cdot x(k) + r(t); \quad h(t) = \begin{cases} 1, & \text{при } 0 \leq t \leq T_s \\ 0, & \text{при } t > T_s, t < 0 \end{cases}; \quad f_s = \frac{1}{T_s}$$

где T_s – период дискретизации, f_s – частота дискретизации, $h(t)$ – восстанавливающая функция ЦАП, $x(k)$ – входной код ЦАП, $r(t)$ – функция, описывающая переходные процессы при изменении входного кода. Для оценки уровня SFDR формируется $x(k)$, соответствующий гармоническому сигналу с частотой f . По спектру выходного сигнала $s(t)$ в полоса рабочих частот от 0 до $f_s/2$ определяется уровень SFDR.

Отмечено, что ранее в литературе такой анализ не проводился. Анализ был проведён для различных вариантов учёта свойств выходного сигнала ЦАП. Данный анализ необходим для определения предельно достижимых уровней SFDR ЦАП. На первом этапе был рассмотрен уровень SFDR входного кода и показаны зависимости от соотношения частот $SFDR(f/f_s)$ и разрядности $SFDR(N)$. Замечено, что причиной присутствия кратных гармоник в спектре входного кода является конечная разрядность, а значит и точность представления гармонического сигнала.

Проведено моделирование уровня SFDR выходного сигнала идеального ЦАП в зависимости от разрядности и соотношения частот f/f_s . Отмечено, что зависимости $SFDR(f/f_s)$ и $SFDR(N)$ остались без изменений по отношению к зависимостям, полученным для входного кода, а уровень SFDR остался на том же уровне. Далее в рассмотрение был введён переходной процесс фиксированной длительности t_{tran} . Моделирование показало, что все зависимости также сохранили свой вид, и уровень SFDR остался на том же уровне.

Затем была введена зависимость длительности переходного процесса t_{tran} от величины изменения входного кода. Причём зависимость имела следующий вид:

$$t_{tran}(n) = g \cdot x'(n) \cdot t_s; x'(n) = x(n) - x(n-1),$$

где g – масштабный коэффициент. То есть предполагалось, что длительность переходного процесса пропорциональна числу переключающихся взвешивающих элементов. Моделирование показало, что уровень SFDR значительно снизился на 60 дБ. Таким образом, был сделан вывод о том, что кодовая зависимость длительности переходного процесса является причиной уменьшения SFDR, а значит и уменьшения рабочей полосы частот ЦАП. Дальнейшие исследования показали, что из двух возможных способов повышения уровня SFDR за счёт сокращения рабочей полосы частот (уменьшения отношения частоты восстанавливаемого сигнала к частоте дискретизации либо уменьшение частоты дискретизации) наиболее предпочтительным является уменьшения отношения частоты восстанавливаемого сигнала к частоте дискретизации, так как при том же уровне SFDR достигается большая рабочая полоса частот.

По результатам исследования динамического диапазона, свободного от паразитных составляющих (SFDR), в функциональной модели ЦАП сделаны следующие выводы:

1. Переходной процесс фиксированной длительности не оказывает негативного влияния на уровень SFDR;
2. Переходной процесс с кодозависимой длительностью оказывает негативное влияние на уровень SFDR и приводит к уменьшению рабочей полосы частот;

3. Выбор частоты дискретизации должен осуществляться на пологом участке зависимости уровня SFDR от частоты дискретизации;
4. Рабочая полоса частот должна определяться по заданному уровню SFDR при фиксированной частоте дискретизации (выбранной согласно п. 3).

В четвёртом разделе проводится анализ динамического диапазона, свободного от паразитных составляющих (SFDR), в схеме ЦАП на источниках тока. Отмечено, что известные способы оценки требований выходному сопротивлению источника тока не учитывают отношение тока утечки и тока источника тока. Предложена методика оценки выходного сопротивления с учётом этого отношения.

Рассмотрены три наиболее известные и широко применяемые схемы источников тока. Проведено сравнение данных схем при одинаковом выходном сопротивлении по влиянию на уровень SFDR. Сделан вывод о предпочтительном использовании каскодной и широкодиапазонной схемы. Подтверждено, что основным эффектом, влияющим на снижение уровня SFDR является просачивание управляющих сигналов в выходную цепь [Г. А. Свизев, дисс. соиск. канд. техн. н-к, 2018] и, в частности, в цепь напряжения смещения как наиболее инерционную.

Для снижения влияния просачивания управляющих сигналов существует несколько способов:

1. Введение нескольких независимых цепей формирования напряжения смещения;
2. Введение дифференциальной пары ключей;
3. Введение режима и схемы постоянных переключений, при которых коммутационная схема выполняет переключения вне зависимости от изменения управляющих сигналов.

Проведено моделирование для сравнения эффективности этих способов. Первый способ считается неэффективным, поскольку не обеспечивает гарантированную независимость цепей формирования напряжения смещения. Моделирование показало, что способы 2 и 3 эффективны, однако коммутирующая цепь с постоянным переключением позволяет добиться фиксированной длительности переходного процесса, а значит, практически, исключить негативное влияние переходного процесса на уровень SFDR, значительно повысив тем самым рабочую полосу частот ЦАП. На основе проведённых исследований предложена методика синтеза ЦАП на источниках тока для заданного уровня SFDR:

1. Под данным параграфа 3.2 и целевому уровню SFDR определяется минимально необходимая разрядность;
2. На основе подхода, изложенного в п. 4.2, тока МЗР (I_0) и напряжения питания строятся зависимости SFDR от доли тока утечки и отношений f/f_s ;
3. По полученным зависимостям и целевому значению SFDR определяется отношение f/f_s и максимально допустимый ток утечки;
4. В зависимости от требуемого диапазона значений выходного сигнала ЦАП выбирается либо каскодная схема источника тока, либо широкодиапазонная схема источника тока;

5. Соотношения размеров затворов транзисторов источника тока подбираются так, что удовлетворить требованиям по току утечки (выходному сопротивлению) из п. 3;
6. На основе моделирования методом Монте-Карло для выбранной технологии и требований по выходу годных микросхем определяется площадь, занимаемая источником тока, и архитектура ЦАП с учётом необходимости минимизировать размеры источника тока для повышения быстродействия;
7. Разрабатывается аналоговая часть ЦАП с использованием следующих рекомендаций: минимальные размеры транзисторов ключа, дифференциальный выход и, в случае допустимости, постоянные переключения. Кроме того, выполняются все уже известные рекомендации, описанные в п. 4.1, по согласованию задержек, скоростей нарастания и моменту переключения ключей;
8. Для определённого в п. 3 отношения f/f_s , с учётом логарифмической зависимости SFDR от f_s , подбирается частота дискретизации, удовлетворяющая целевому значению SFDR.

В пятом разделе рассматриваются методики компенсации систематической ошибки в унарных ЦАП. Описаны принятые способы представления систематической ошибки и используемые аппроксимации.

Предложено большинство методик разделить на группы: «строка-столбец», «с общим центром», «с перемешиванием квадрантов», «с полным распределением». Так как для данных методик отсутствуют выражения, позволяющие получать координаты взвешивающего элемента на топологии по его индексу, то символьное доказательство их эффективности оказывается невозможным. Для некоторых методик оказывается возможным выделить свойства размещения взвешивающих элементов и в символьном виде показать их эффективность (то есть возможность полной компенсации систематической ошибки) для некоторых случаев аппроксимации систематической ошибки. Например, для методики из группы «строка-столбец» можно заметить следующие свойства:

$$x_{2k} = v + 1 - x_{2k-1} \leftrightarrow x_{iv+2k} = v + 1 - x_{iv+2k-1}, k = 1.. \frac{v}{2}, i = 0..v - 1$$

$$y_{2kv+j} = v + 1 - y_{(2k+1)v+j}, k = 0.. \frac{v}{2} - 1, j = 1..v$$

где x_i и y_i – номер строки и номер столбца i -го взвешивающего элемента, v – размерность квадратной матрицы. Тогда для линейной аппроксимации систематической ошибки значение характеристики преобразования T для входного кода D можно записать в виде:

$$D = av + b.$$

$$T = D + \sum_{i=0}^{a-1} \sum_{j=1}^v (a_x(x_{iv+j} - b_x) + a_y(y_{iv+j} - b_y)) + \sum_{j=1}^b (a_x(x_{av+j} - b_x) + a_y(y_{av+j} - b_y))$$

Если

$$D = (2k - 1)v + v = k \cdot 2v,$$

тогда:

$$T = D \left(1 + a_x \left(\frac{v+1}{2} - b_x \right) + a_y \left(\frac{v+1}{2} - b_y \right) \right)$$

То есть значение характеристики преобразования не зависит от координат взвешивающих элементов, а только от параметров систематической ошибки. Таким образом, для кодов кратных $2v$, линейная составляющая систематической ошибки будет полностью скомпенсирована.

Для методик из группы «с общим центром» в случае разбиения элемента на 4 части справедливо свойство:

$$x_2 = x_1; y_2 = y_4 = v - y_1;$$

$$x_3 = x_4 = v - x_1; y_3 = y_1;$$

где x_i – координаты i -ой части взвешивающего элемента. Тогда подставим координаты частей в выражение для значения взвешивающего элемента:

$$\begin{aligned} f(x_1, x_2, x_3, x_4, y_1, y_2, y_3, y_4) &= \sum_{i=1}^4 \frac{1}{4} + f_{err,lin}(x_i, y_i) = 1 + \sum_{i=1}^4 (a_x(x_i - b_x) + a_y(y_i - b_y)) = \\ &= 1 + 2v \cdot a_x + 2v \cdot a_y - 4b_x - 4b_y \end{aligned}$$

Получили, что значение взвешивающего элемента зависит только от параметров систематической ошибки и не зависит от координат его частей. Тогда значения всех взвешивающих элементов будут одинаковы и вклад линейной составляющей систематической ошибки в нелинейность ЦАП будет полностью скомпенсирован. Для методик из группы «с полным распределением» удаётся в символьном виде доказать эффективность для систематической ошибки любого порядка без учёта поворота и до 3-го включительно с учётом поворота осей аппроксимации систематической ошибки относительно осей массива взвешивающих элементов.

Как видно, для методик из групп «строк-столбец» и «с общим центром» эффективность для квадратичной и комбинированной аппроксимаций остаётся неизвестной. А для методик из группы «с перемешиванием квадрантов» не удаётся выделить никаких свойств размещения взвешивающих элементов, как следствие, эффективность даже для линейной аппроксимации остаётся не установленной. Поэтому единственной возможностью для сравнения эффективности всех методик при всех возможных случаях аппроксимации систематической ошибки остаётся численное моделирование.

Проведён сравнительный анализ методик из разных групп. По результатам данного анализа, показанным на рис. 2 и 3, сделаны следующие выводы:

1. Для снижения дифференциальной нелинейности необходимо деление элемента на части. Чем больше частей, тем ниже дифференциальная нелинейность;
2. Для снижения интегральной нелинейности необходимо либо деление элемента на части, либо асимметричное («случайное») размещение взвешивающих элементов. Асимметричное размещение взвешивающих элементов эффективней деления на 4 части и сопоставимо по эффективности с делением на 16 частей;

3. Методики «с полным распределением» позволяют, практически, полностью скомпенсировать систематическую ошибку, однако их применение эквивалентно, как минимум, удвоению разрядности ЦАП.

Замечено, что рассмотренные методики подходят для ЦАП на источниках тока, но не пригодны для использования в резистивных ЦАП, поскольку в резистивных ЦАП для исключения влияния сопротивления проводников необходимо обеспечить одинаковое расстояние между взвешивающими элементами. Для повышения уровня SFDR необходимо снижение интегральной нелинейности, что в свою очередь достигается асимметричным размещением взвешивающих элементов (см. вывод 2). Как следствие, была предложена методика размещения «Шахматный конь», основанная на задаче обхода шахматной доски фигурой «конь», впервые рассмотренная в работах Леонарда Эйлера. Моделирование показало, что размещение взвешивающих элементов по такой методике оказывается эффективным для снижения интегральной нелинейности (рис. 4).

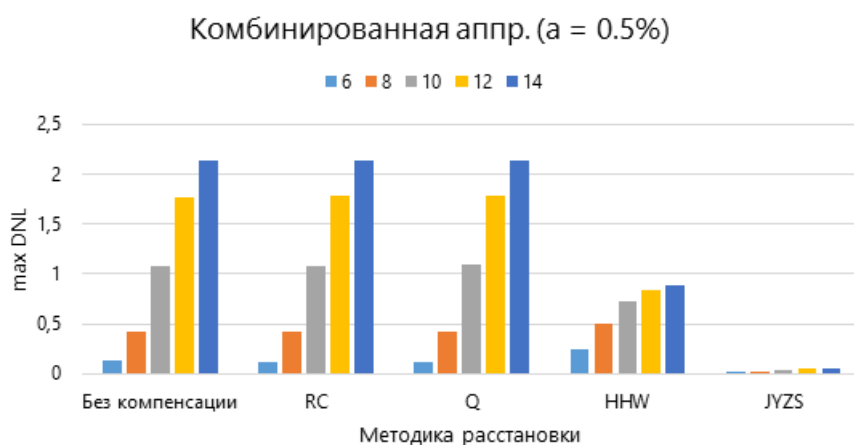


Рис. 2

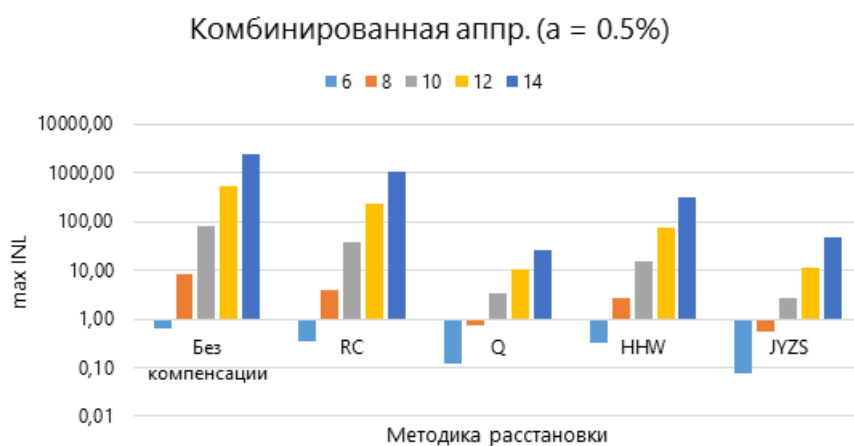


Рис. 3

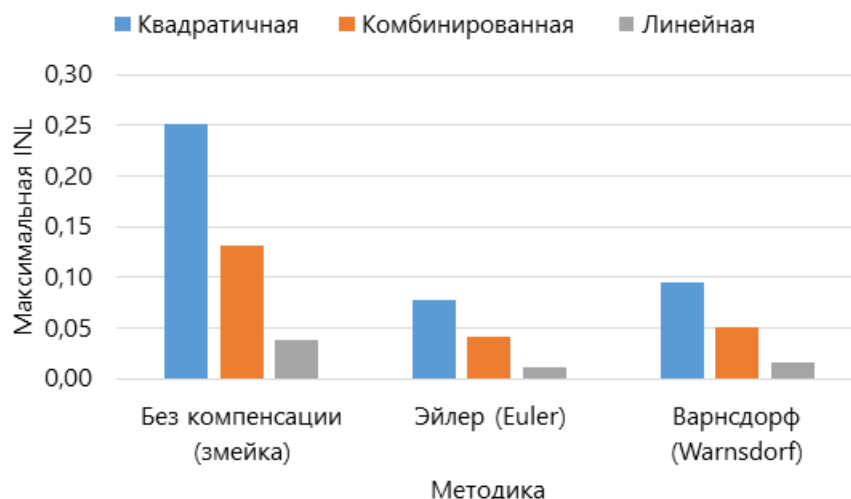


Рис. 4

В шестом разделе представлена разработка тестовой микросхемы для проверки эффективности предложенной методики. Кристалл микросхемы выполнен по технологии компании UMC 180 нм MM/RF по программе Europractice. Рассмотрена структура резистивного сегментного ЦАП. Предложено использовать сегменты по 5 разрядов, так как это не только является оптимальным с точки зрения минимизации числа взвешивающих элементов, а значит и занимаемой на кристалле площади, но позволяет унифицировать разработку массива взвешивающих элементов для обоих сегментов.

В данном ЦАП предложено использовать модифицированную грубую стадию с уменьшенным числом ключей для сокращения занимаемой на кристалле площади. Для управления грубой стадией требуется квазиунитарный код (унитарный код с двумя смежными «1»), для чего был разработан специальный дешифратор. Была разработана топология тестовой микросхемы, содержащей два ЦАП: один без компенсации систематической ошибки, другой – с компенсацией по предложенной методике. Топология и фотография кристалла тестовой микросхемы показаны на рис. 5 и 6.

Результаты измерения образцов тестовой микросхемы в рабочем диапазоне температур от -40°C до $+85^{\circ}\text{C}$ показали, что предложенная методика размещения «Шахматный конь» позволяет на 20% снизить максимальную и среднюю интегральную нелинейность (рис. 7 и 8) и, как следствие, на 6 дБ повысить уровень SFDR.

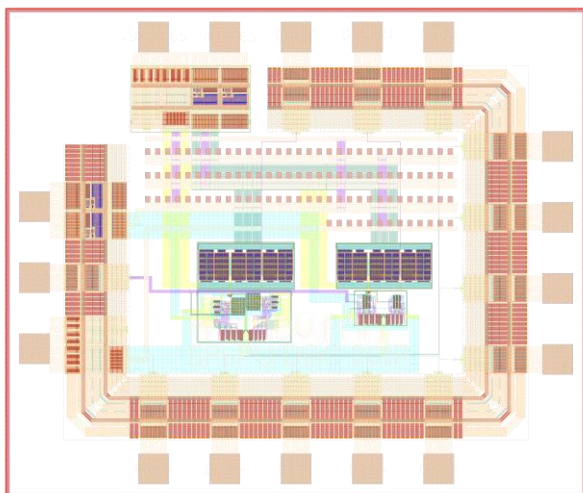


Рис. 5

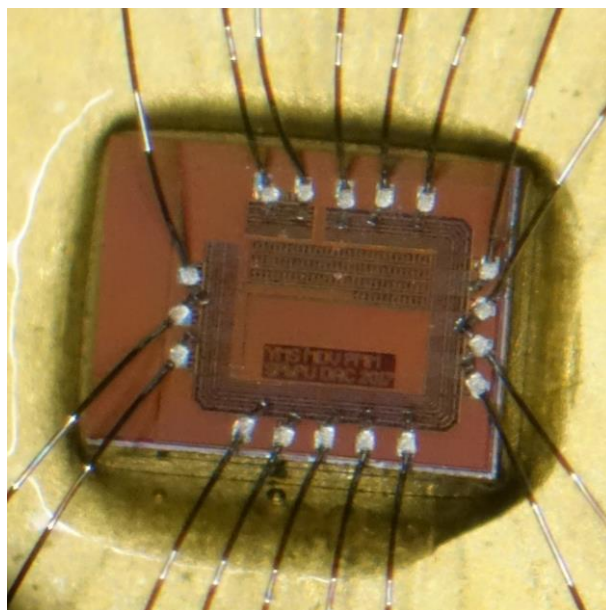


Рис. 6

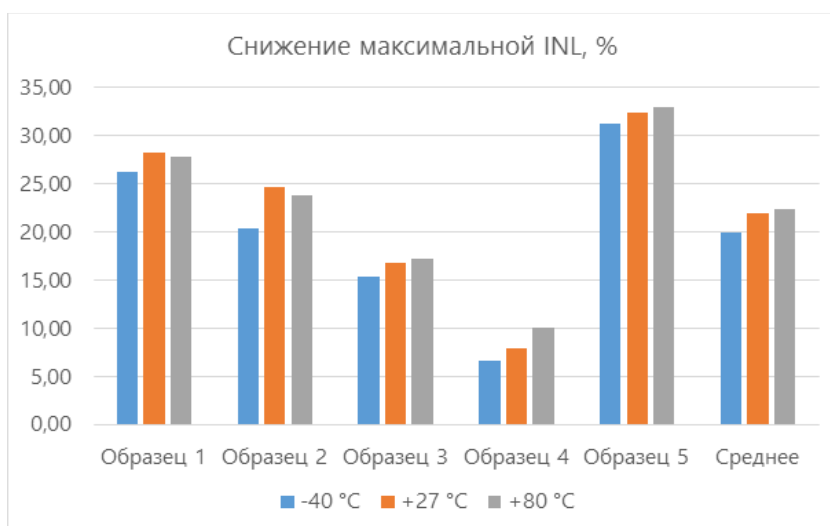


Рис. 7

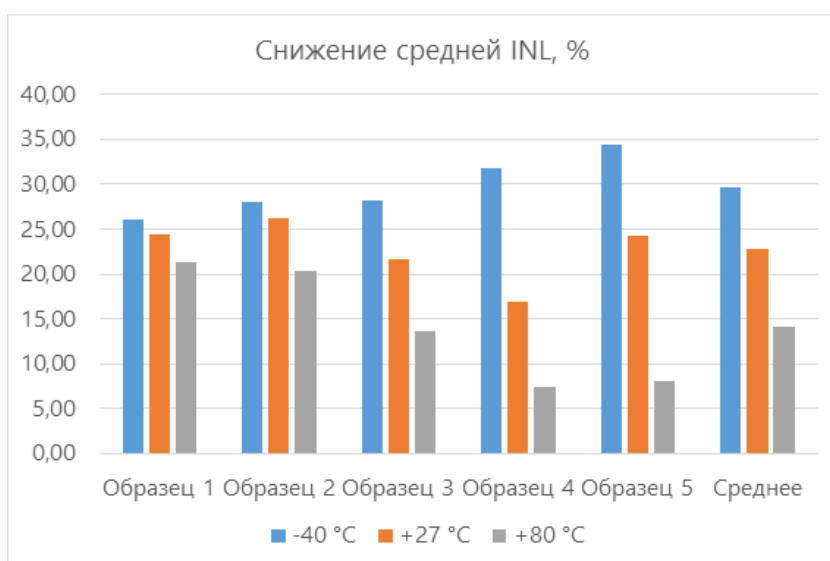


Рис. 8

В заключении сформулированы выводы по диссертационной работе.

Основные результаты работы заключаются в следующем:

1. Предложено правило формирования логической функции произвольного выхода «термометрического» дешифратора произвольной разрядности. Данное правило позволяет проектировать дешифратор с меньшим числом транзисторов и уменьшенной задержкой.
2. Предложена методика структурного синтеза «термометрического» дешифратора, позволяющая получать схему и топологию для дешифратора произвольной разрядности. Предложенная методика за счёт использования библиотеки готовых цифровых ячеек позволяет автоматизировать процесс разработки дешифратора.
3. Проведён анализ динамического диапазона, свободного от паразитных составляющих, для функциональной модели ЦАП. Установлены зависимости SFDR от соотношения частот и разрядности. Анализ показал, что после введения в модель переходного процесса фиксированной длительности не происходит уменьшения рабочей полосы частот ЦАП (то есть полосы частот с уровнем SFDR не меньше заданного). Моделирование показало, что уменьшение рабочей полосы частот ЦАП происходит только после введения в модель кодовой зависимости длительности переходного процесса. Предложены рекомендации по расширению рабочей полосы ЦАП.
4. Проведён анализ динамического диапазона, свободного от паразитных составляющих, для схемы ЦАП на источниках тока. Определён допустимый ток утечки (а, следовательно, и выходное сопротивление источника тока) для различных соотношений частот и разрядностей. Проведён анализ различных схем источника тока при одинаковом выходном сопротивлении. Установлено, что каскодная и широкодиапазонная схемы дают более высокие значения уровня SFDR. Замечено, что флуктуации напряжения на шине напряжения смещения оказывают значительное влияние на уровень SFDR. Промоделированы два способа снижения флуктуаций; замечено, что решение с постоянными переключениями позволяет добиться одинаковых по форме и длительности переходных процессов, а значит исключить доминирующий фактор снижения SFDR и рабочей полосы частот. На основе полученных результатов сформулирована методика параметрического синтеза ЦАП на источниках тока.
5. Проведён обзор известных способов компенсации систематической ошибки. Установлены факторы, влияющие на снижение уровня DNL и INL. Даны рекомендации по выбору методики компенсации систематической ошибки в зависимости от разрядности ЦАП. Отмечено, что известные методики пригодны для ЦАП на источниках тока, но не могут применяться для резистивных унарных ЦАП. На основе выявленных закономерностей предложена методика расстановки «шахматный конь», позволяющая снизить INL резистивного ЦАП.
6. Для проверки основных теоретических выводов, в том числе эффективности предложенной методики «шахматный конь», разработан 10-ти разрядный сегментный резистивный ЦАП и тестовая микросхема. Кристалл микросхемы выполнен по технологии компании UMC 180 нм MM/RF по программе Europractise. Тестовая микросхема содержит два ЦАП с различной

топологией массива взвешивающих элементов: один ЦАП без компенсации, другой – с компенсацией по предложенной методике. Проведённые измерения показали, что предложенная методика позволила в среднем на 20% снизить как максимальную, так и среднюю INL в диапазоне рабочих температур от –40 °С до +85 °С. Уровень SFDR составил 40 дБ при быстродействии ЦАП 5 Мотсчётов/с. Улучшение составило до 6 дБ по сравнению с ЦАП без компенсации.

ПУБЛИКАЦИИ ПО ТЕМЕ ДИССЕРТАЦИИ

Список работ, в которых представлены основные результаты диссертации:

1. Морозов Д. В., Енученко М. С. Цифро-аналоговые преобразователи с унарной и сегментной архитектурами / Научно-технические ведомости СПбГПУ Информатика. Телекоммуникации. Управление, 1 (164), 2013. С. 81–86. **(список ВАК)**
2. Енученко М. С., Морозов Д. В., Пилипко М. М. Восьмиразрядный сегментный цифро-аналоговый преобразователь с повышенной скоростью преобразования // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2014. Сборник трудов / под общ. ред. академика РАН А. Л. Стемпковского. М.: ИППМ РАН, 2014. Часть IV. С. 67-70. **(список ВАК)**
3. M. S. Yenuchenko. Thermometric decoders for high resolution digital-to-analog converters / IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (EIConRusNW), 2016. P. 379-384. **(Scopus)**
4. Енученко М. С., Морозов Д. В., Пилипко М. М. Восьмиразрядный параллельный цифро-аналоговый преобразователь с сегментной архитектурой / Радиотехника и электроника, 2017, том 62, № 1. С. 81–93. **(список ВАК, Scopus)**
5. A. I. Konstantinov, M. S. Yenuchenko. Switching sequences for a systematic error compensation in unary DACs / IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), 2017. P. 309-313. **(Scopus)**
6. Константинов А. И., Енученко М. С., Коротков А. С. Анализ эффективности методик расстановки взвешивающих элементов на кристалле унарного цифро-аналогового преобразователя / Известия ВУЗов. Радиоэлектроника, 2017, том 60, №5. С. 287-296. **(список ВАК, Scopus)**
7. M. S. Yenuchenko. Alternative structures of a segmented current-steering DAC / International Symposium on Consumer Technologies (ISCT), 2018, P. 14 – 17. **(Scopus)**