

**Санкт-Петербургский политехнический университет Петра
Великого
Институт физики, нанотехнологий и телекоммуникаций
Высшая школа прикладной физики и космических технологий**

На правах рукописи

Енученко Михаил Сергеевич

**«Синтез и реализация параллельного цифро-аналогового
преобразователя с повышенными динамическими характеристиками»**

Направление подготовки

11.06.01 «Электроника, радиотехника и системы связи»

Код и наименование

Направленность

11.06.01_01 Радиотехника, в том числе системы и устройства телевидения

Код и наименование

НАУЧНЫЙ ДОКЛАД

об основных результатах научно-квалификационной работы
(диссертации)

Автор работы: Енученко М. С.

Научный руководитель:

проф., д. т. н., Коротков А. С.

Санкт-Петербург 2018

Научно-квалификационная работа выполнена в Высшей школе прикладной физики и космических технологий (ВШПФикТ) Института физики, нанотехнологий и телекоммуникаций федерального государственного автономного образовательного учреждения высшего образования «Санкт-Петербургский политехнический университет Петра Великого».

Директор ВШПФикТ:

Величко Елена Николаевна

к.т.н., доцент

Научный руководитель:

Коротков Александр

Станиславович,

д.т.н., проф.

Рецензент:

Теленков Михаил Валерьевич,

к. т. н.,

ООО «АСХ», ведущий специалист

С научным докладом можно ознакомиться в библиотеке ФГАОУ ВО «Санкт-Петербургский политехнический университет Петра Великого» и на сайте Электронной библиотеки СПбПУ по адресу: <http://elib.spbstu.ru>.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность работы

В системах телекоммуникаций развитие цифровых способов управления и интеграция их с аналоговой частью вызывают потребность в интерфейсных устройствах, связывающих цифровую и аналоговую части. Цифро-аналоговый преобразователь (ЦАП) осуществляет преобразование цифрового кода в аналоговый сигнал. Требования, выдвигаемые к ЦАП, касаются разрядности, быстродействия, нелинейности, потребляемой мощности и динамического диапазона. Несмотря на достигнутые успехи, повышение динамических характеристик ЦАП остаётся актуальной задачей.

Цель и задачи исследования

Целью данной работы является разработка параллельного цифро-аналогового преобразователя с повышенными динамическими характеристиками. Для достижения поставленной цели решаются следующие задачи:

1. Разработки методики размещения взвешивающих элементов;
2. Разработка цифро-аналогового преобразователя;
3. Экспериментальные исследования.

Научная новизна

Все известные методики размещения взвешивающих элементов на топологии микросхемы для компенсации систематической ошибки разработаны для ЦАП на источниках тока и не учитывают особенности работы резистивных ЦАП. Предложенная методика позволяет выдерживать одинаковые расстояния между взвешивающими элементами, а значит исключать влияние сопротивления проводников на нелинейность.

Теоретическая и практическая значимость

Полученные в работе результаты позволяют разрабатывать резистивные ЦАП со сниженной интегральной нелинейностью, вызванной систематической ошибкой при производстве. Снижения интегральной нелинейности позволяет повысить уровень SFDR в низкочастотной области.

Апробация работы

Результаты работы опубликованы в 5 журналах и представлены на 8 конференциях. Четыре работы опубликованы в изданиях, входящих в перечень ВАК, шесть работ опубликованы в изданиях, индексируемых в базе Scopus.

Публикации

1. Д. В. Морозов, М. С. Енученко. Цифро-аналоговые преобразователи с унарной и сегментной архитектурами / Научно-технические ведомости СПбГПУ Информатика. Телекоммуникации. Управление – 2013. – №1 (164). – С. 81–86.
2. М. С. Енученко. Унарный сегмент цифро-аналогового преобразователя / В сб. материалов X международного научно-практического семинара «Проблемы современной аналоговой микросхемотехники». – Шахты: ИСОиП (филиал) ДГТУ, 2013. – Часть 1. – С. 64–67.
3. М. С. Енученко, Д. В. Морозов, М. М. Пилипко. Восьмиразрядный сегментный цифро-аналоговый преобразователь с повышенной скоростью преобразования // Проблемы разработки перспективных микро- и наноэлектронных систем – 2014. Сборник трудов / под общ. ред. академика РАН А. Л. Стемпковского. – М.: ИППМ РАН, 2014. – Часть IV. – С. 67–70.

4. M. S. Yenuchenko, D. V. Morozov, M. M. Pilipko. An 8-bit segmented DAC with high conversion rate / Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). – М.: ИППМ РАН, 2015. – № 4. – С. 18.
5. М. С. Енученко, Д. В. Морозов, М. М. Пилипко. Восьмиразрядный параллельный цифро-аналоговый преобразователь на источниках тока / Сборник докладов VIII Научно-технической конференции молодых специалистов по радиоэлектронике. ОАО «Авангард». – СПб.: ООО Издательство «Трактат», 2016. – С. 65–69.
6. M. S. Yenuchenko. Thermometric decoders for high resolution digital-to-analog converters / IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference. – St. Petersburg, 2016. – P. 379–384.
7. М. С. Енученко. Обзор реализаций термометрического дешифратора для унарного сегмента ЦАП // Материалы XVIII конференции молодых учёных «Навигация и управление движением» с международным участием / Науч. редактор д.т.н. проф. О. А. Степанов / Под общ. ред. академика РАН В. Г. Пешехонова. – СПб.: ГНЦ РФ АО «Концерн «ЦНИИ «Электроприбор», 2016. – С. 206–212.
8. М. С. Енученко, Д. В. Морозов, М. М. Пилипко. Восьмиразрядный параллельный цифро-аналоговый преобразователь с сегментной архитектурой / Радиотехника и электроника. – 2017. – Том 62. – № 1. – С. 81–93.
9. M. S. Enuchenko, D. V. Morozov, M. M. Pilipko. An 8-bit Parallel DAC with Segmented Architecture / Journal of Communications Technology and Electronics. – 2017. – Vol. 62. – №1. – P. 89–100.
10. A. I. Konstantinov, M. S. Yenuchenko. Switching sequences for a systematic error compensation in unary DACs / IEEE Conference of Russian Young

Researchers in Electrical and Electronic Engineering. – St. Petersburg, 2017. – P. 309–313.

11. А. И. Константинов, М. С. Енученко, А. С. Коротков. Анализ эффективности методик расстановки взвешивающих элементов на кристалле унарного цифро-аналогового преобразователя / Известия ВУЗов. Радиоэлектроника. – 2017. – Том 60. – №5. – С. 287–296.
12. A. I. Konstantinov, M. S. Yenuchenko, A. S. Korotkov. Efficiency Analysis of Techniques for Weighting Elements Arrangement on the Chip of Unary Digital-to-Analog Converter / Radioelectronics and Communications Systems. – 2017. – Vol. 60. – №5. – P. 225–232.
13. M. S. Yenuchenko, M. M. Pilipko, D. V. Morozov. A 10-bit segmented M-string DAC / IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering. – St. Petersburg, 2018. – P. 265–268.
14. M. S. Yenuchenko. Alternative structures of a segmented current-steering DAC / 2018 International Symposium on Consumer Technologies. – St. Petersburg, 2018. – P. 14–17.

Оглавление

Введение.....	8
1 Цифро-аналоговый преобразователи	9
2 Разработка методики размещения взвешивающих элементов.....	10
2.1 Особенности резистивных ЦАП.....	10
2.2 Методика «Шахматный конь»	12
2.3 Разработка резистивного ЦАП	12
2.4 Топология ЦАП	15
3 Экспериментальные исследования.....	17
Заключение	21
Список использованных источников.....	22
Список работ, опубликованных по теме научно-квалификационной работы (диссертации).....	25

Введение

В системах телекоммуникаций развитие цифровых способов управления и интеграция их с аналоговой частью вызывают потребность в интерфейсных устройствах, связывающих цифровую и аналоговую части. Цифро-аналоговый преобразователь (ЦАП) осуществляет преобразование цифрового кода в аналоговый сигнал. Требования, выдвигаемые к ЦАП, касаются разрядности, быстродействия, нелинейности, потребляемой мощности и динамического диапазона.

Один из важнейших параметров является динамический диапазон, свободный от паразитных составляющих (SFDR). Верхнюю границу уровня SFDR на низких частотах определяет разрядность и статическая нелинейности и, главным образом, интегральная нелинейность. Технологический разброс значительно влияние на интегральную нелинейность. Для того, чтобы повысить компенсировать систематическую составляющую технологического разброса, используют специальное размещение взвешивающих элементов ЦАП на топологии микросхемы.

Несмотря на достигнутые успехи в разработке подобных методик, они оказываются неприменимы для резистивных ЦАП, так как не учитывают необходимость равенства расстояний между взвешивающими элементами, для исключения влияния сопротивления проводников.

В данной предложена методика размещения взвешивающих элементов на топологии микросхемы ЦАП, учитывающая особенности работы резистивных ЦАП. Для проверки эффективности предложенной методики разработана тестовая микросхема и проведены экспериментальные исследования.

1 Цифро-аналоговый преобразователи

Цифро-аналоговые преобразователи являются интерфейсными устройствами и используются в системах управления и телекоммуникациях. В телекоммуникационных системах наиболее востребованы параллельные ЦАП, в которых обработка всех разрядов входного кода осуществляется параллельно.

Для оценки параметров ЦАП используются следующие характеристики: разрядность, потребляемая мощность, дифференциальная нелинейность (DNL), интегральная нелинейность (INL), количество отсчётов в секунду и динамический диапазон, свободный от паразитных составляющих (SFDR). Несмотря на достигнутые успехи, разработка ЦАП с повышенными динамическими характеристиками, в частности, с повышенным уровнем SFDR остаётся актуальной. Одним из факторов, ограничивающих уровень SFDR в реальных образцах ИС, является интегральная нелинейность, обусловленная систематической ошибкой при производстве. Для компенсации влияния систематической ошибки используют специальные методики размещения взвешивающих элементов на топологии кристалла ИС.

Поэтому **целью** данной работы является разработка параллельного цифро-аналогового преобразователя с повышенными динамическими характеристиками. Для достижения поставленной цели решаются следующие **задачи**:

4. Разработки методики размещения взвешивающих элементов;
5. Разработка цифро-аналогового преобразователя;
6. Экспериментальные исследования.

2 Разработка методики размещения взвешивающих элементов

2.1 Особенности резистивных ЦАП

Известно множество методик размещения взвешивающих элементов, однако данные методики разработаны и применяются только в ЦАП на источниках тока. В системах телекоммуникаций, где необходима высокая разрядность, гарантированная монотонность и большие диапазоны как выходных напряжений, так и нагрузочных сопротивлений, применяются резистивные ЦАП. Для таких ЦАП ни одна из известных методик не подходит, так как не учитывает особенности работы резистивных ЦАП.

Любой резистивный ЦАП с делением напряжения можно представить в виде резистивного делителя, показанного на рисунке 2.1. На рисунке $-U_{оп}$ и $+U_{оп}$ – опорные уровни напряжения, R_0 – номинал единичного резистора, N – разрядность ЦАП, D – входной код. Унарный резистивный ЦАП показан на рисунке 2.2. Ключи управляются унитарным кодом A . Выходной сигнал такого ЦАП будет определяться по формуле:

$$U_{вых}(D) = (+U_{оп} - (-U_{оп})) \frac{D \cdot R_0}{2^N \cdot R_0} = (+U_{оп} - (-U_{оп})) \frac{D}{2^N}.$$

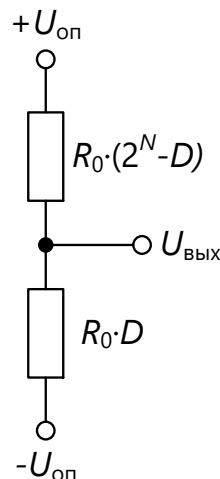


Рисунок 2.1 – Эквивалентное представление резистивного ЦАП

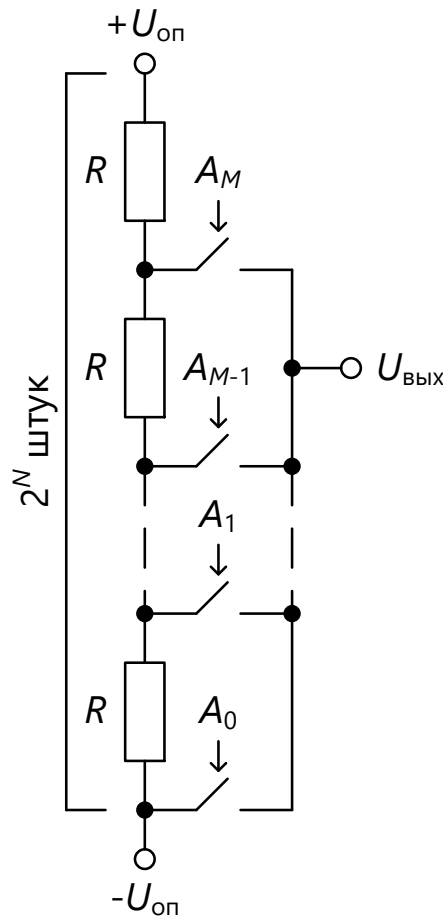


Рисунок 2.2 – Унарный резистивный ЦАП

Паразитные сопротивления проводников при размещении взвешивающих элементов на топологии в таком ЦАП могут оказать существенное влияние на интегральную нелинейность ЦАП, а значит и на уровень SFDR. Однако если паразитные сопротивления между взвешивающими элементами будут одинаковы, то они могут быть эквивалентны увеличению сопротивления R_0 , а значит не окажут влияния на нелинейность. Поэтому для унарных резистивных ЦАП требуется методика размещения взвешивающих элементов для снижения интегральной нелинейности с одинаковым расстоянием на топологии между взвешивающими элементами.

2.2 Методика «Шахматный конь»

В данной работе предлагается методика расстановки взвешивающих элементов на топологии, основанная на обходе шахматной доски фигурой «конь». На рисунке 2.3 показан пример размещения 64 взвешивающих элементов по данной методике.

54	21	34	9	58	19	32	7
35	10	55	20	33	8	57	18
22	53	64	59	56	45	6	31
11	36	49	46	63	60	17	44
50	23	52	61	40	47	30	5
37	12	25	48	27	62	43	16
24	51	2	39	14	41	4	29
1	38	13	26	3	28	15	42

Рисунок 2.3 – Размещение 64 взвешивающих элементов по правилу Варнсдорфа

Такой подход позволит размещать взвешивающие элементы асимметрично и на одинаковом удалении друг от друга. Одинаковое расстояние позволит исключить влияние паразитных сопротивлений на нелинейность, а асимметрия размещения позволяет снизить интегральную нелинейность и повысить уровень SFDR.

2.3 Разработка резистивного ЦАП

В данной работе эффективность предложенной методики «шахматного коня» будет проверяться на 10-ти разрядном сегментном резистивном ЦАП.

Данный ЦАП будет состоять из 2 сегментов по 5 разрядов. Таким образом, будет решаться задача расстановки 32 взвешивающих элементов.

На рисунке 2.4 представлена типичная структура сегментного 10-ти разрядного резистивного ЦАП. Используются два сегмента, каждый выполненный на основе линейки сопротивлений. Идентичное строение массива взвешивающих элементов обоих сегментов упрощает разработку. Первый сегмент, на который подаются пять старших разрядов входного кода, называется «грубой стадией». Грубая стадия формирует два опорных уровня, подаваемые через буферы на второй сегмент. Второй сегмент, называемый «точной стадией», обрабатывает пять младших разрядов и через буфер формирует выходной сигнал ЦАП. Буферы необходимы в силу слабой нагрузочной способности резистивных цепей.

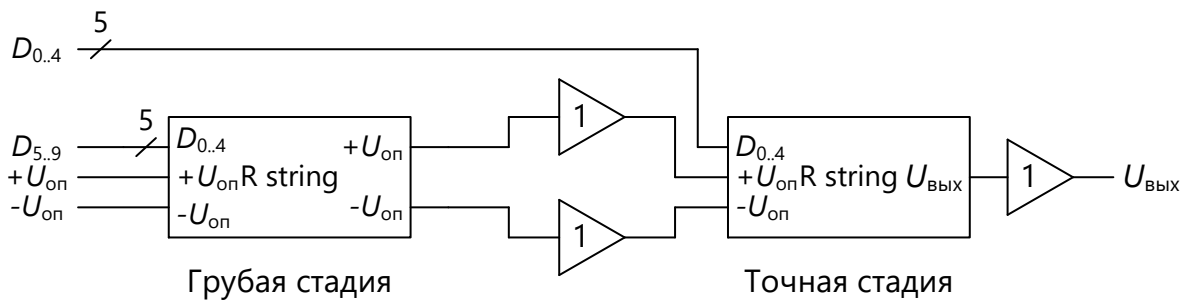


Рисунок 2.4 – Структура сегментного резистивного ЦАП

Структура точной стадии точно такая, как было показано на рисунке 2.2. Структура грубой стадии отличается и показана на рисунке 2.5. Данная структура имеет вдвое большее число ключей, чем число взвешивающих элементов. Управление осуществляется также унитарным кодом A .

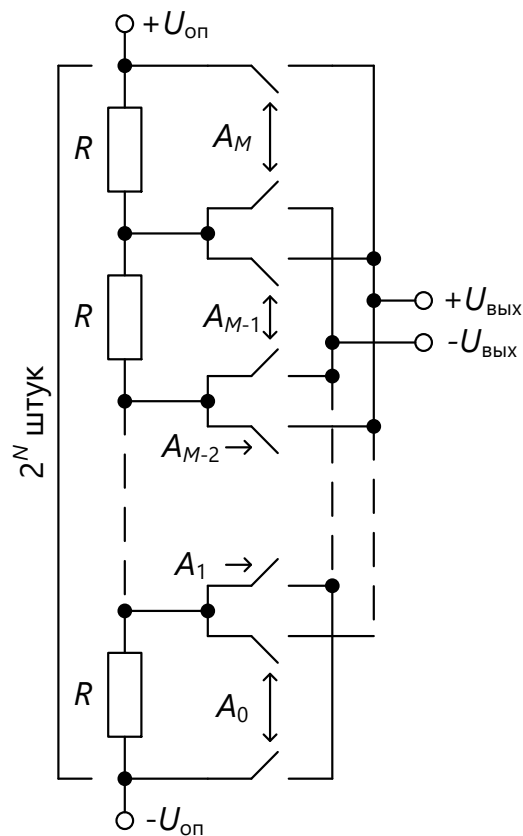


Рисунок 2.5 – Структура первого резистивного ЦАП во сегментного ЦАП

Для сокращения числа ключей и, как следствие, сокращения площади и сложности разработки аналоговой части в данной работе предлагается использовать иную структуру, показанную на рисунке 2.6. Данная структура отличается от той, что была представлена ранее на рисунке 2.2, тем, что грубая стадия имеет выходы не $+U_{оп}$ и $-U_{оп}$, а $U_{чет}$ и $U_{нечет}$, а между грубой стадией и повторителями стоит блок мультиплексоров. Структура модифицированной грубой стадии показана на рисунке 2.7. Блок мультиплексоров в зависимости от значения D_5 устанавливает соответствие между $+U_{оп}/-U_{оп}$ и $U_{нечет}/U_{чет}$. Управление ключами грубой стадии осуществляется специальным кодом S , который в отличие от унитарного кода, используемого в структуре на рисунке 2.5, имеет две смежных «1». Например, для разрядности 3 и кода $D = 4$ код S будет «000110000».

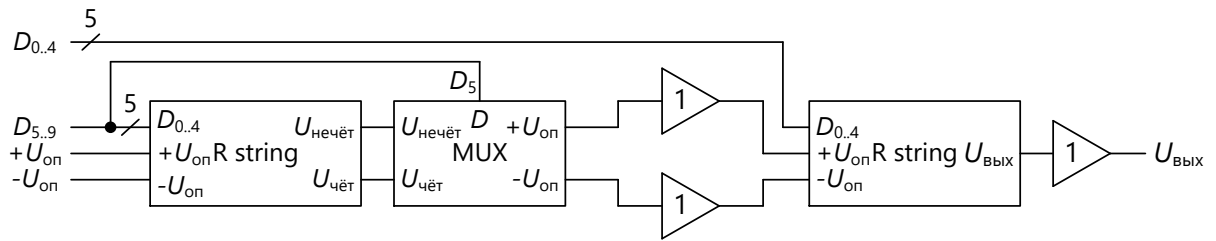


Рисунок 2.6 – Предложенная структура резистивного ЦАП с уменьшенным числом ключей

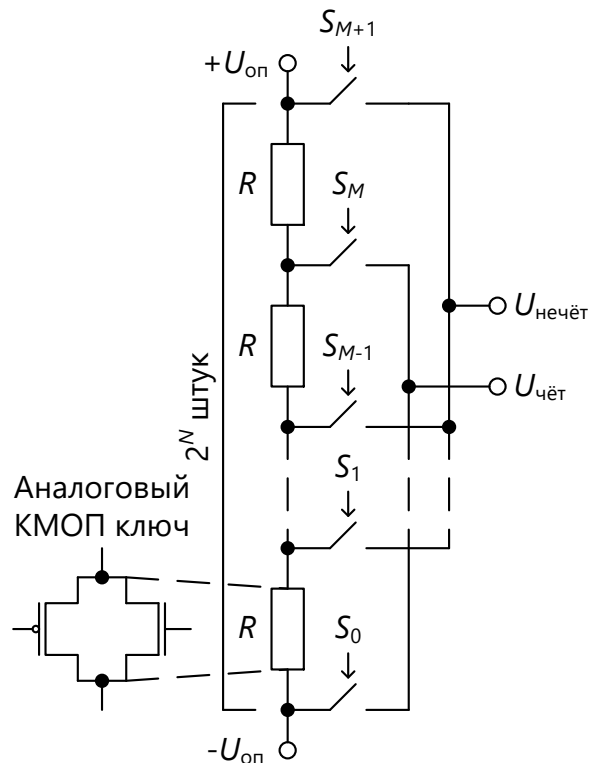


Рисунок 2.7 – Структура грубой стадии

Кроме того, моделирование граничных параметров компонентов («corners») показало, что отклонение значения сопротивления резистора составляет около 25%, а транзистора – 10%. Поэтому из соображений повышения выхода годных микросхем предлагается использовать в качестве резистивных взвешивающих элементов транзисторы, как это делается в M - $2M$ структурах. В качестве резистивного взвешивающего элемента используется открытый аналоговый КМОП ключ.

2.4 Топология ЦАП

Предложенная структура сегментного ЦАП позволяет унифицировать разработку топологии взвешивающих элементов, так массивы взвешивающих элементов обоих сегментов идентичны. Отличаться будут лишь массивы ключей, рассогласование которых не влияет на нелинейность ЦАП. На рисунке 2.8 показано размещение 32 взвешивающих элементов.

1	10	25	32	3	12	17	
24		2	11	18		4	13
9	26			31	14	19	16
	23	28	7		21	30	5
27	8		22	29	6	15	20

Рисунок 2.8 – Размещение 32 взвешивающих элементов разработанного ЦАП

Топология разработанной тестовой микросхемы показана на рисунке 4.11. Данная микросхема содержит два ЦАП с различной топологией массива взвешивающих элементов: один ЦАП без компенсации, другой с компенсацией по предложенной методике.

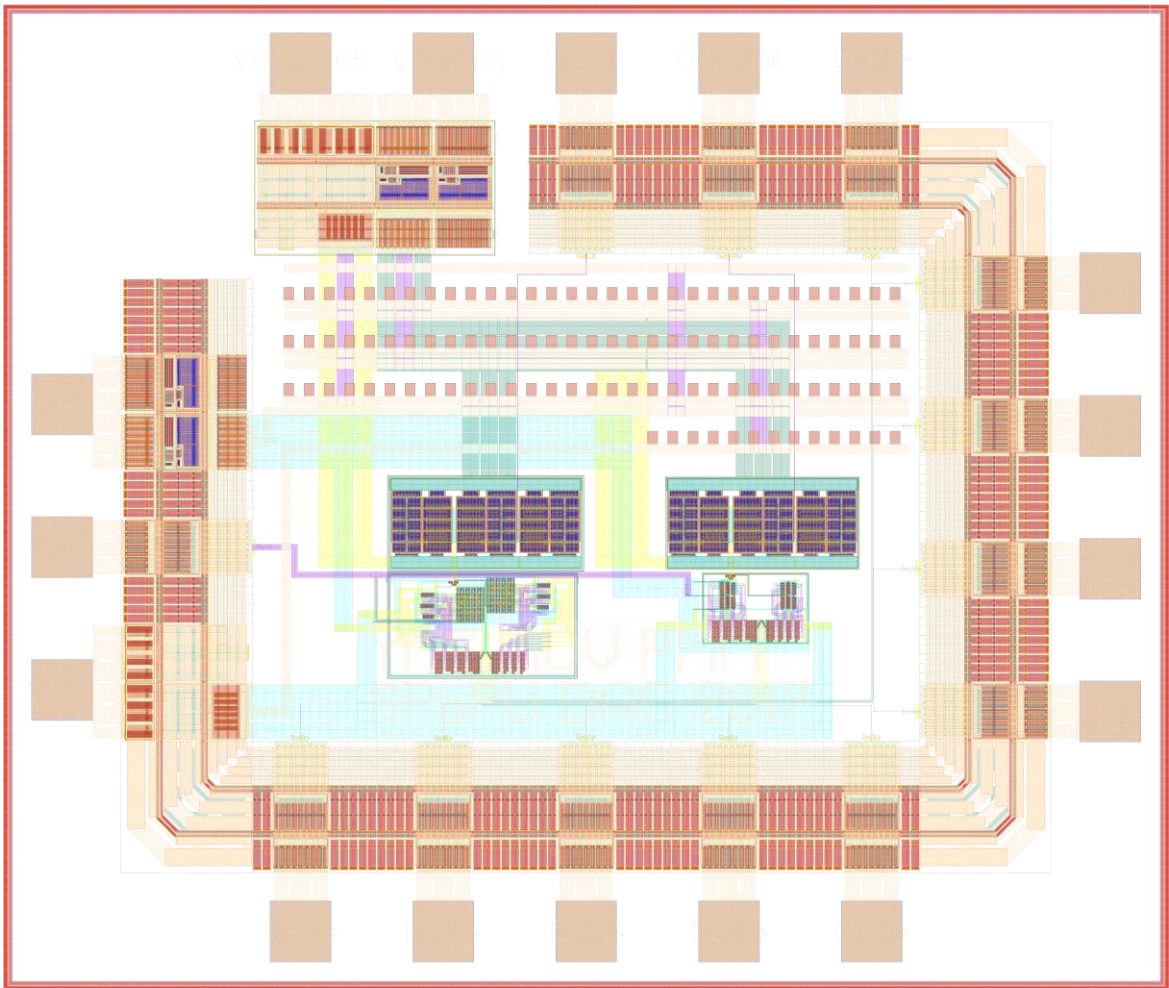
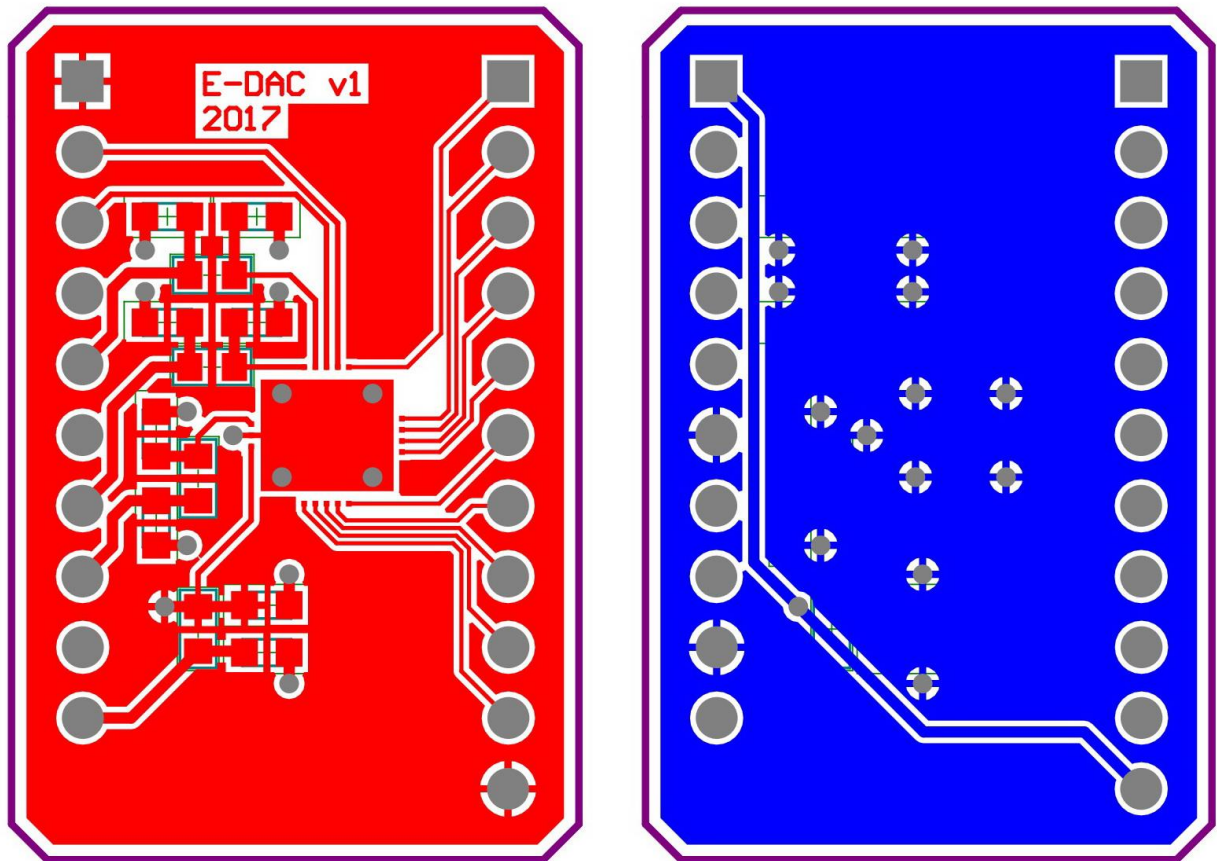


Рисунок 2.9 – Топология тестовой микросхемы

3 Экспериментальные исследования

Для экспериментальных исследований была разработана двусторонняя печатная плата. Топологии верхнего и нижнего слоёв печатной платы показаны на рисунке 3.1.



Верхний слой

Нижний слой

Рисунок 3.1 – Топология слоёв печатной платы

Для измерения статических характеристик ЦАП используется схема измерения, представленная на рисунке 3.2. Для питания микросхемы необходимы 4 напряжения питания: +1,65 В, -1,65 В, +0,9 В, -0,9 В. Земли источников питания и печатной платы соединены вместе. С цифровых выходов платы сбора данных на вход печатной платы с микросхемой ЦАП через резистивный делитель подаётся 10-ти разрядный цифровой сигнал. Выходные аналоговые сигналы печатной платы с микросхемой ЦАП UE и UPM подаются на аналоговые входы платы сбора данных. На вход ЦАП подаётся линейно нарастающий код (см. рисунок 3.4), частота смены которого 100 мс. Плата сбора данных через 10 мс после формирования входного кода ЦАП снимает значения напряжения на выходах микросхемы

10 раз с интервалом 10 мс. Усреднённое значение выходного напряжения для каждого кода записывается в файл.

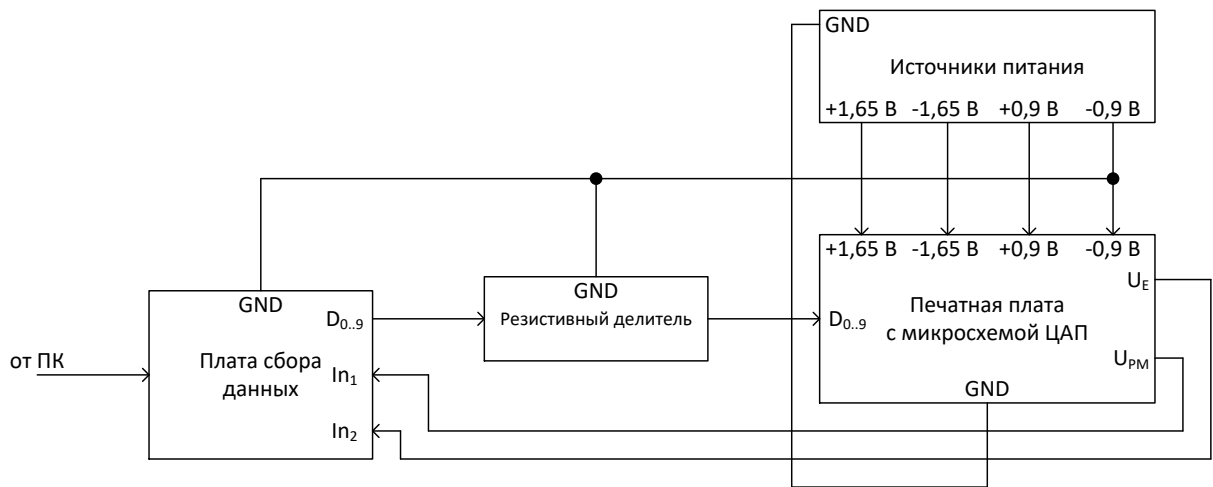


Рисунок 3.2 – Схема измерения микросхемы ЦАП

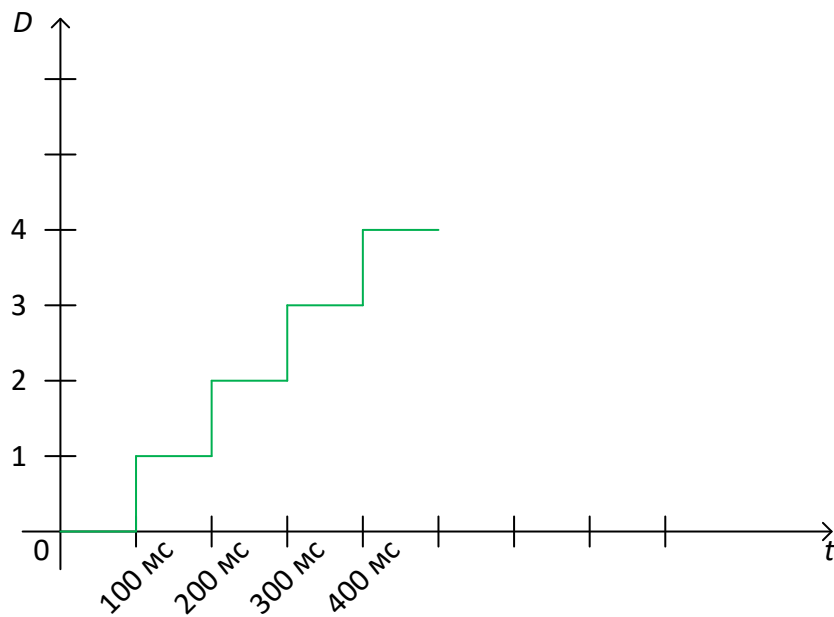


Рисунок 3.3 – Входной код ЦАП

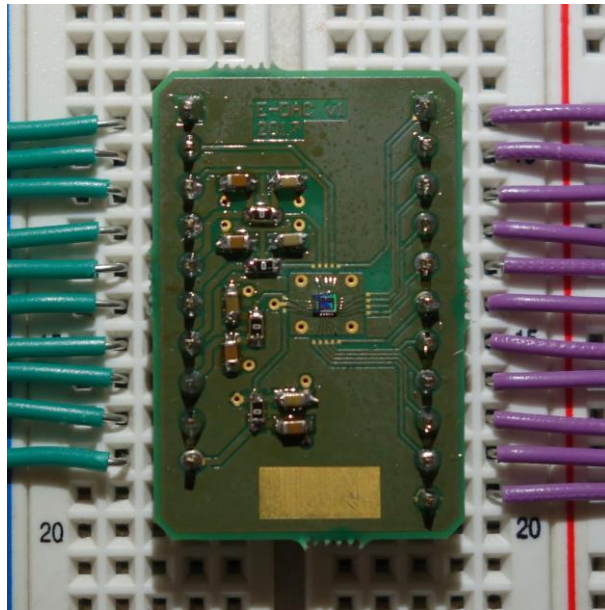


Рисунок 3.4 – Фотография печатной платы с тестовой микросхемой

Таблица 3.2 – Результаты измерения статических характеристик одного из образцов

Температура	-40 °C		+27 °C		+80 °C	
	Out_PM	Out_E	Out_PM	Out_E	Out_PM	Out_E
Шаг (В)	0,0018	0,0017	0,0017	0,0017	0,0017	0,0017
max DNL, МЗР	0,96	1,23	0,70	1,13	1,86	2,42
max INL, МЗР	25,06	17,23	23,46	15,88	22,25	14,92
Диапазон (В)	1,79	1,79	1,78	1,78	1,76	1,76
mean INL , МЗР	5,58	3,66	4,37	3,31	3,81	3,50

Таблица 3.3 – Снижение максимальной INL по результаты измерений

Температура	Снижение максимальной INL, %		
	-40 °C	+27 °C	+80 °C
Образец 1	26,30	28,24	27,76
Образец 2	20,36	24,69	23,80
Образец 3	15,38	16,85	17,27
Образец 4	6,59	7,90	10,09
Образец 5	31,24	32,33	32,93
Среднее	19,97	22,00	22,37

Как видно из таблиц, предложенная методика позволяет на 20% снизить интегральную нелинейность. Так как методика не использует разделение

взвешивающего элемента на части, то как и ожидалось снижения дифференциальной нелинейности не произошло.

Заключение

В данной работе предложена методика компенсации систематической ошибки для унарных резистивных ЦАП. Методика основана на обходе шахматной доски фигурой «конь». Такой подход к размещению позволяет получать асимметричное размещение взвешивающих элементов, что положительно сказывается на интегральной нелинейности и выдерживать одинаковые расстояния между взвешивающими элементами, тем самым исключить негативное влияние сопротивления проводников на нелинейность.

Для проверки эффективности методики был разработан 10-ти разрядный сегментный резистивный ЦАП. Предложена структура ЦАП на основе линейки сопротивления, позволяющая вдвое сократить число ключей и, следовательно, уменьшить занимаемую на кристалле площадь. Кроме того, для повышения выхода годных ИС предложено использовать аналогового КМОП ключа вместо резистора, так как разброс параметров у транзистора меньше, чем у резистора.

Результаты измерений показали, что предложенная методика размещения взвешивающих элементов позволяет на 20% снизить максимальную и среднюю INL, а значит повысить уровень SFDR.

Список использованных источников

1. J. Schoeff. An inherently monotonic 12 bit DAC / IEEE Journal of Solid-State Circuits. – 1979. – Vol. 14. – No 6. – P. 904–911.
2. K. Bult, G. J. G. M. Geelen. An inherently linear and compact MOST-only current division technique / IEEE Journal of Solid-State Circuits. – 1992. – Vol. 27. – No 12. – P. 1730–1735.
3. W. Lei, Y. Fukatsu, K. Watanabe. Characterization of current-mode CMOS R-2R ladder digital-to-analog converters / IEEE Transactions on Instrumentation and Measurement. – 2001. – Vol. 50. – No 6. – P. 1781–1786.
4. C. Chuen-Yau, C. Chi-Jung, Y. Chien-Cheng. Design of current-mode digital-to-analog converter in hybrid architecture / The 3rd International IEEE-NEWCAS Conference. – 2005. – P. 231–234.
5. D. Karadimas, M. Papamichail, K. Efstathiou. A MOST-Only R-2R ladder-based architecture for high linearity DACs / 4th European Conference on Circuits and Systems for Communications (ECCSC 2008). – 2008. – P. 158–161.
6. L. Tai-Cheng, L. Cheng-Hsiao. Nonlinear R-2R Transistor-Only DAC / IEEE Transactions on Circuits and Systems I: Regular Papers. – 2010. – Vol. 57. – No 10. – P. 2644–2653.
7. D. Arbet, G. Nagy, V. Stopjakova, G. Gyepes. A self-calibrated binary weighted DAC in 90nm CMOS technology / 29th International Conference on Microelectronics Proceedings - MIEL 2014. – 2014. – P. 383–386.
8. H. Klimach; M. Schneider; C. G.-Montoro. An M-2M digital-to-analog converter design methodology based on a physical mismatch model / IEEE International Symposium on Circuits and Systems. – 2008. – P. 2254–2257.

9. L. You, Z. Tao, C. Degang. A high resolution and high accuracy R-2R DAC based on ordered element matching / IEEE International Symposium on Circuits and Systems (ISCAS). – 2013. – P. 1974–1977.
10. C. Chun-Chieh, L. Nan-Ku. Nonlinearity analysis of R-2R ladder-based current-steering digital to analog converter / IEEE International Symposium on Circuits and Systems (ISCAS). – 2013. – P. 833–836.
11. W. Guo, T. Abraham, S. Chiang, C. Trehan, M. Yoshioka, N. Sun. An Area and Power-Efficient Iref Compensation Technique for Voltage-Mode R-2R DACs / IEEE Transactions on Circuits and Systems II: Express Briefs. – 2015. – Vol. PP. – No 99. – P. 1-5.
12. G. Serrano, M. Kucic, P. Hasler. Investigating programmable floating-gate digital-to-analog converter as single element or element arrays / The 2002 45th Midwest Symposium on Circuits and Systems. – 2002. – Vol. 1. – P. I-75-7.
13. G. Serrano, P. Hasler. A floating gate DAC array / ISCAS '04 Proceedings of the International Symposium on Circuits and Systems. – 2004. – Vol. 1. – P. I-357-I-360.
14. E. Ozalevli, P. Hasler, F. Adil. Programmable voltage-output, floating-gate digital-analog converter / Proceedings of the 2004 International Symposium on Circuits and Systems. – 2004. – Vol. 1. – P. I-1064-7.
15. E. Ozalevli, C. M. Twigg, P. Hasler. 10-bit programmable voltage-output digital-analog converter / IEEE International Symposium on Circuits and Systems. – 2005. – Vol. 6. – P. 5553–5556.
16. E. Ozalevli, L. Haw-Jing, P. E. Hasler. Binary-Weighted Digital-to-Analog Converter Design Using Floating-Gate Voltage References / IEEE

Transactions on Circuits and Systems I: Regular Papers. – 2008. – Vol. 55. –
No 4. – P. 990 – 998.

Список работ, опубликованных по теме научно-квалификационной работы (диссертации)

Публикации в изданиях, рецензируемых ВАК

1. Д. В. Морозов, М. С. Енученко. Цифро-аналоговые преобразователи с унарной и сегментной архитектурами / Научно-технические ведомости СПбГПУ Информатика. Телекоммуникации. Управление – 2013. – №1 (164). – С. 81–86.
2. М. С. Енученко, Д. В. Морозов, М. М. Пилипко. Восьмиразрядный сегментный цифро-аналоговый преобразователь с повышенной скоростью преобразования // Проблемы разработки перспективных микро- и наноэлектронных систем – 2014. Сборник трудов / под общ. ред. академика РАН А. Л. Стемпковского. – М.: ИППМ РАН, 2014. – Часть IV. – С. 67–70.
3. М. С. Енученко, Д. В. Морозов, М. М. Пилипко. Восьмиразрядный параллельный цифро-аналоговый преобразователь с сегментной архитектурой / Радиотехника и электроника. – 2017. – Том 62. – № 1. – С. 81–93.
4. А. И. Константинов, М. С. Енученко, А. С. Коротков. Анализ эффективности методик расстановки взвешивающих элементов на кристалле унарного цифро-аналогового преобразователя / Известия ВУЗов. Радиоэлектроника. – 2017. – Том 60. – №5. – С. 287–296.

Публикации в других изданиях

1. М. С. Енученко. Унарный сегмент цифро-аналогового преобразователя / В сб. материалов X международного научно-практического семинара

- «Проблемы современной аналоговой микросхемотехники». – Шахты: ИСОиП (филиал) ДГТУ, 2013. – Часть 1. – С. 64–67.
2. M. S. Yenuchenko, D. V. Morozov, M. M. Pilipko. An 8-bit segmented DAC with high conversion rate / Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). – М.: ИППМ РАН, 2015. – № 4. – С. 18.
 3. М. С. Енученко, Д. В. Морозов, М. М. Пилипко. Восьмиразрядный параллельный цифро-аналоговый преобразователь на источниках тока / Сборник докладов VIII Научно-технической конференции молодых специалистов по радиоэлектронике. ОАО «Авангард». – СПб.: ООО Издательство «Трактат», 2016. – С. 65–69.
 4. M. S. Yenuchenko. Thermometric decoders for high resolution digital-to-analog converters / IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference. – St. Petersburg, 2016. – P. 379–384.
 5. М. С. Енученко. Обзор реализаций термометрического дешифратора для унарного сегмента ЦАП // Материалы XVIII конференции молодых учёных «Навигация и управление движением» с международным участием / Науч. редактор д.т.н. проф. О. А. Степанов / Под общ. ред. академика РАН В. Г. Пешехонова. – СПб.: ГНЦ РФ АО «Концерн «ЦНИИ «Электроприбор», 2016. – С. 206–212.
 6. M. S. Enuchenko, D. V. Morozov, M. M. Pilipko. An 8-bit Parallel DAC with Segmented Architecture / Journal of Communications Technology and Electronics. – 2017. – Vol. 62. – №1. – P. 89–100.
 7. A. I. Konstantinov, M. S. Yenuchenko. Switching sequences for a systematic error compensation in unary DACs / IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering. – St. Petersburg, 2017. – P. 309–313.

8. A. I. Konstantinov, M. S. Yenuchenko, A. S. Korotkov. Efficiency Analysis of Techniques for Weighting Elements Arrangement on the Chip of Unary Digital-to-Analog Converter / Radioelectronics and Communications Systems. – 2017. – Vol. 60. – №5. – P. 225–232.
9. M. S. Yenuchenko, M. M. Pilipko, D. V. Morozov. A 10-bit segmented M-string DAC / IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering. – St. Petersburg, 2018. – P. 265–268.
10. M. S. Yenuchenko. Alternative structures of a segmented current-steering DAC / 2018 International Symposium on Consumer Technologies. – St. Petersburg, 2018. – P. 14–17.

Аспирант _____ **Енученко Михаил Сергеевич**
(подпись)