

УДК 658.512.011.56, 681.3.06

О.А. Королева (5 курс, каф.ИУС), Д.В. Петров (5 курс, каф.ИУС),  
А.В. Пахомов (асп., каф.ИУС), В.П. Котляров, к.т.н., проф.

## МОДЕЛЬ АРХИТЕКТУРЫ POWERPC 603E

Целью данной работы являлось создание симуляционной модели процессора PowerPC 603E для разработки приложений. При выполнении приложений на модели у пользователя должна быть возможность получить детальную информацию о ходе выполнения приложения, также модель должна позволять отрабатывать на ней приложения с достаточно высокой скоростью. Еще одной функцией модели является ее возможность подключать внешние устройства через протокол шины 60x. Поддержка шинного протокола 60x осуществляется через модель Bus Interface Unit, его описание выходит за рамки данной статьи.

Для достижения поставленной цели было решено создать две модели: детальную и быструю. Данные модели были написаны на языке C++ и выполнялись в среде симулятора CoSim.

В состав детальную модели входят следующие модули:

- модуль предвыборки (Fetcher);
- диспетчер команд (Dispatcher);
- модуль предсказания переходов (Branch Prediction Unit);
- модуль завершения команд (Completion Unit);
- четыре модуля исполнения инструкций (Load Store Unit, Integer Unit, System Register Unit, Float Point Unit);
- модуль управления памятью (Memory Management Unit);
- кэш (Cache Unit).

Все модули собраны в единую модель ядра процессора (модуль управления памятью и кэш не входят в состав ядра). В детальную модель упор ставился на точное выполнение инструкций. За один такт может обрабатываться несколько инструкций. Производится выборка инструкций из памяти – по две инструкции за такт. Диспетчер распределяет инструкции по исполняющим модулям. На выполнение может быть отправлено одновременно две инструкции в разные исполняющие модули. В некоторых исполняющих модулях (Load Store Unit и Float Point Unit) реализован двухступенчатый конвейер, что позволяет этим модулям выполнять две инструкции одновременно. Исполняющие модули выдают инструкции модулю завершения команд (Completion Unit), который завершает их выполнение в программном порядке. Также реализован механизм предсказания переходов.

Структурная модель позволяет посмотреть значения всех внутренних регистров и сигналов процессора (в модели – порядка 250 сигналов). Наличие такого большого количества модулей и обработка такого большого количества сигналов приводят к тому, что модель имеет достаточно низкую производительность.

Целью быстрой модели является высокая скорость исполнения инструкций. В связи с этим была изменена структура модели. Поведенческая модель процессора состоит из одного модуля, который сам занимается выборкой инструкций из памяти, их декодированием и выполнением. В отличие от детальную модели, в быстрой - не реализованы конвейеры, из памяти выбирается и выполняется последовательно по одной инструкции. Сокращение модулей до одного привело к сокращению сигналов (были убраны все внутренние сигналы, с помощью которых взаимодействовали модули), также упростилась логика работы процессора – эти изменения позволили повысить

производительность. Поведенческая модель выполняет все те же инструкции, что и структурная.

Для оценки производительности у каждой модели измерялось число команд процессора, выполненных в ходе симуляции. Измерения производились на Pentium III, 500МГц, 128Мб. Результаты представлены в таблице:

Модель	Количество инструкций, выполненных за секунду
Структурная модель PowerPC603e	5 000
Поведенческая модель PowerPC603e	800 000

В дальнейшем на данной модели планируется запуск операционной системы реального времени и разработка инструментов, позволяющих отлаживать приложения в пошаговом режиме.