XXX Юбилейная Неделя науки СПбГТУ. Материалы межвузовской научной конференции. Ч. VII: С152, 2002. © Санкт-Петербургский государственный технический университет, 2002.

УДК 681.324

М.И. Глухих (асп., каф. АиВТ), В.Ф. Мелехин, д.т.н., проф.

РАЗРАБОТКА И ИССЛЕДОВАНИЕ СПЕЦИАЛИЗИРОВАННОГО ПРОЦЕССОРА ДЛЯ ОТКАЗОУСТОЙЧИВОЙ СИСТЕМЫ

Предметом исследования является архитектура и схемотехника процессора для отказоустойчивого вычислительного комплекса специального назначения с учетом современного состояния и тенденций развития средств, методов и инструментария проектирования аппаратного обеспечения, а также способов повышения отказоустойчивости.

Элементной базой, доступной (в том числе и в РФ) широкому кругу разработчиков цифровой аппаратуры и выполненной по лучшим технологическим достижениям, являются СБИС программируемой логики ПЛ (Programmable Logic).

В результате предшествующих исследований был обоснован выбор стековой архитектуры. Критерий оптимизации - максимальная тактовая частота при ограниченном объеме, после создания целой системы – максимальная производительность. Отказоустойчивость комплекса обеспечивается на уровне системы. Для повышения отказоустойчивости по решению заказчиков системы используется мажорирование сигналов при трехкратном резервировании основных блоков структуры.

В ходе разработки проанализирована и скорректирована система команд, разработана структура и создана первая рабочая модель процессора на СБИС ACEX1K100 фирмы Altera. Произведена отладка модели на уровне системы команд. В результате моделирования верифицированы описания блоков структуры и связей.

На основании функциональной спецификации операционных блоков и спецификаций команд рассмотрены варианты реализации стекового процессора для отказоустойчивого вычислительного комплекса. В ходе функциональной декомпозиции рассмотрены различные способы функциональной организации процессора, отличающиеся соотношением управляющей и операционной части в блоках процессора, составом блоков и средств информационного взаимодействия между ними. На основании имитационного моделирования в среде MAX+PLUS II определены основные характеристики вариантов (быстродействие, аппаратурные затраты), с использованием которых принято решение о выборе варианта, близкого к оптимальному. Исследование доведено до законченного варианта реализации процессора.

В ходе исследования были решены следующие задачи:

1. Проанализированы различные пути реализации стековых буферов с использованием аппарата теории массового обслуживания.
2. Определен оптимальный в рассматриваемом случае размер стековых буферов.
3. Произведено сравнение архитектуры с одним стеком с архитектурой с двумя стеками (стек адресов + стек данных) для заданной системы команд.
4. Рассмотрены и проанализированы стратегии подгрузки буфера из оперативной памяти: подгрузка по мере необходимости, подгрузка при вызове процедур. Определена лучшая.
5. Проанализированы возможные стратегии контекстного переключения применительно к стековым буферам: с разделением стекового буфера между процессами и с полным сохранением стекового буфера в памяти. Определен критерий выбора лучшей из них.
6. В результате анализа вариантов построения блока выборки команд был определен оптимальный размер очереди команд и оптимальная стратегия обмена с очередью.

Продолжение работы предусматривает дальнейшую отладку модели, экспериментальную проверку полученных теоретически результатов, анализ возможностей повышения производительности путем конвейеризации. Затем будет выполнен перенос модели на отечественные БМК, проведено тестирование системы в целом.