

**Санкт-Петербургский политехнический университет
Петра Великого**

Институт компьютерных наук и технологий

На правах рукописи

Киселев Иван Олегович

**Разработка и апробация методики проектирования и оптимизации
аппаратно-программных реконфигурируемых устройств на базе СБИС ПЛ для
создания гетерогенных суперкомпьютерных вычислительных систем.**

Направление подготовки 09.06.01 - Информатика и вычислительная техника

Код и наименование

Направленность 09.06.01 03 - Элементы и устройства вычислительной техники и систем управления.

Код и наименование

НАУЧНЫЙ ДОКЛАД

об основных результатах научно-квалификационной работы (диссертации)

Автор работы: Киселев Иван Олегович

Научный руководитель:

доц., к.т.н, Антонов Александр Петрович

Санкт Петербург – 2021

Научно-квалификационная работа выполнена в Высшей школе интеллектуальных систем и суперкомпьютерных технологий Института компьютерных наук и технологий федерального государственного автономного образовательного учреждения высшего образования «Санкт-Петербургский политехнический университет Петра Великого»

Директор ВШ/зав. кафедрой: *Уткин Лев Владимирович,
д.т.н., проф.*

Научный руководитель: *Антонов Александр Петрович,
к.т.н., доц.*

Рецензент: *– Фамилия, имя, отчество – при
наличии,
ученая степень, ученое звание,
организация/место работы,
должность*

С научным докладом можно ознакомиться в библиотеке ФГАОУ ВО «Санкт-Петербургский политехнический университет Петра Великого» и на сайте Электронной библиотеки СПбПУ по адресу: <http://elib.spbstu.ru>

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы исследования.

Современные суперкомпьютерные вычислительные системы на практике показывают низкую реальную производительность и энергоэффективность. Это связано с тем, что пиковая, теоретическая, производительность наращивается за счет увеличения количества вычислительных блоков, а алгоритм решаемой задачи необходимо подстраивать под фиксированную архитектуру суперкомпьютерной системы. Аппаратно-реконфигурируемые вычислительные системы позволяют динамически перестраивать структуру вычислителей, подстраивая их под решаемую задачу. Это позволяет достигать пиковой производительности на широком классе задач, а также значительно сократить энергопотребление.

Технология использования аппаратно-реконфигурируемых суперкомпьютерных систем нова и в настоящее время в этом направлении ведутся активные исследования. При этом на данный момент в списке Top500 не представлены подобного рода вычислительные системы. Поэтому **актуальными** являются тема и задачи диссертационной работы.

Степень разработанности темы исследования.

В диссертации выполнен обзор и исследование:

- Существующих методов и средств построения гетерогенных вычислительных узлов суперкомпьютерных систем.
- Существующих аппаратно-реконфигурируемых вычислителей: их достоинств и недостатков.

В ходе исследования была показана необходимость в разработке нового поколения реконфигурируемых вычислителей, которые обеспечивали бы: большую плотности логических ячеек на единицу площади, большой объем хранения локально-доступных вычислителю данных, а так же простоту интеграции подобных вычислителей в уже существующие высокопроизводительные системы. Для удовлетворения всех этих потребностей были разработаны реконфигурируемые вычислители уникальной конструкции. Так же разработан комплекс инструментального программного обеспечения, позволяющий интегрировать разработанные вычислительные модули в существующие среды разработки в соответствии с требованиями, предъявляемые производителем. По результатам разработки, предложенный аппаратно-программный комплекс был успешно

интегрирован в суперкомпьютерный центр СПбПУ, а так же на предприятии ООО «СТЦ».

Целью работы является:

- Создание архитектур реконфигурируемых гетерогенных распределенных высокопроизводительных суперкомпьютерных систем;
- Создание методики проектирования и оптимизации аппаратно-программных реконфигурируемых устройств на базе СБИС ПЛ для создания гетерогенных суперкомпьютерных вычислительных систем;
- Создания аппаратно-реконфигурируемых ускорителей;
- Создание инструментальных средств для реализации широкого класса вычислительных задач на базе созданных аппаратно-реконфигурируемых ускорителей.

Объектом исследования являются методы проектирования реконфигурируемых вычислителей, а так же инструментального ПО для них.

Предметом исследования являются реконфигурируемые вычислители и методы повышения эффективности их использования в суперкомпьютерных системах.

Научная задача, решаемая в диссертации, - создание методики разработки реконфигурируемых ускорителей для суперкомпьютерных систем, а так же инструментальных средств для их интеграции в состав существующих гетерогенных вычислительных систем.

Для достижения вышеизложенной цели и решения поставленной научной задачи необходимо:

1. Провести анализ существующих суперкомпьютерных систем, а так же реконфигурируемых ускорителей и их применений в подобного рода системах.
2. Разработать архитектуру распределенной высокопроизводительной реконфигурируемой вычислительной системы.
3. Спроектировать реконфигурируемые вычислители, отталкиваясь от требований, предъявляемым для ускорителей в гетерогенных высокопроизводительных системах.
4. Разработать инструментальное ПО, которое позволило бы упростить:
 - 4.1. интеграцию ускорителя в состав вычислительного узла,

- 4.2. тестирование и отладку прикладного ПО.
5. Разработать методику проектирования реконфигурируемых аппаратно-программных комплексов для суперкомпьютерных систем.
 6. Произвести апробацию разработанного аппаратно-программного комплекса в составе системы и убедиться в его работоспособности.

Методы исследований базируются на основах конструирования аппаратных средств вычислительных систем, проектирования прикладного и инструментального программного обеспечения и экспериментальных исследованиях спроектированных аппаратных средств.

Научная новизна диссертации заключается в разработке:

1. **Уникальной** архитектуры гетерогенной реконфигурируемой распределенной суперкомпьютерной системы.
2. **Уникальных** реконфигурируемых вычислителей.
3. Инструментальных средств для интеграции вычислителей в имеющиеся маршруты проектирования прикладного программного обеспечения.
4. Методики разработки реконфигурируемых аппаратно-программных комплексов на основе разработанных реконфигурируемых вычислителей и инструментальных средств.

Положения, выносимые на защиту:

1. Существующие суперкомпьютерные вычислительные системы на практике показывают низкую реальную производительность и энергоэффективность.
2. Предложенная в исследовании **уникальная** архитектура реконфигурируемой гетерогенной распределенной высокопроизводительной суперкомпьютерной системы позволяет построить суперкомпьютерную систему, демонстрирующую эффективную производительность, близкую к пиковой на широком классе научных задач.
3. Предложенная методика позволяет быстро и эффективно построить реконфигурируемую суперкомпьютерную систему и включить её в уже существующие маршруты проектирования прикладного программного обеспечения.

Теоретическая значимость результатов исследования заключается в развитии существующих технологий проектирования высокопроизводительных систем с

целью увеличения их энергоэффективности и повышения производительности.

Практическая ценность работы. В представленной работе получены следующие основные практические результаты:

- Разработаны аппаратно-реконфигурируемые ускорители для реализации гетерогенной распределенной высокопроизводительной реконфигурируемой вычислительной системы.
- Разработаны инструментальные средства для реализации широкого класса вычислительных задач на базе созданных аппаратно-реконфигурируемых ускорителей.

Реализация и внедрение результатов работы. Результаты диссертационного исследования в виде разработанных аппаратно-программных комплексов были внедрены в суперкомпьютерном центре СПбПУ, а так же на предприятии ООО «СТЦ».

Апробация работы. Основные результаты, представленные в диссертации обсуждались научно-технических конференциях:

- VI Международная научно-практическая конференция «Управление информационной безопасностью в современном обществе», Москва, 2018г.
- V Всероссийская научно-техническая конференция «Суперкомпьютерные технологии» (СКТ-2018), Геленджик, 2018.
- XII мультikonференция по проблемам управления (МКПУ-2019), Ростов-на-Дону, 2019г.
- Международной Научной Конференции «Telecommunications, Computing and Control» (TELECCON-2019), Санкт-Петербург, 2019.
- 5-ой Международной конференции «Algorithms and solutions based on computer technology» (ASBC 2021) , Санкт-Петербург, 2021.

Достоверность и обоснованность научных результатов, полученных в ходе диссертационного исследования, подтверждены практическими результатами, полученными в ходе внедрения разработанных аппаратно-программных комплексов в различных организациях. Результаты работы, проделанной в ходе работы над диссертацией докладывались и обсуждались на российских и международных научно-технических конференциях.

Публикации. Основные положения диссертации опубликованы в 6 научных

печатных работах: из них одна — в научном издании, рецензируемом в базе SCOPUS, 3 из них — в рецензируемых научных журналах, входящих в перечень ВАК РФ, а так же 2 тезиса и материала докладов на научно-технических конференциях.

1. Заборовский В.С. Специализированные реконфигурируемые вычислители в сетевых суперкомпьютерных системах / Заборовский В.С., Антонов А.П., Киселев И.О. // Системы высокой доступности. – 2018 – Вып. 14, № 3. – с. 57-62.
2. Антонов А.П. Гибридные суперкомпьютерные системы на основе программной платформы OpenCL / Антонов А.П., Заборовский В.С., Киселев И.О., Антонов К.А. // Известия ЮФУ. Технические науки. – 2018. – № 8 (202). С. 6-18.
3. Антонов А.П. Разработка аппаратно реконфигурируемого вычислителя с поддержкой стандарта OpenCL / Антонов А.П., Филиппов А.С., Киселев И.О. // Научно-технические ведомости СПбГПУ. Информатика. Телекоммуникации. Управление – 2018. – Т. 11, №. 4. – с. 108–118.
4. Антонов А.П. Подходы к созданию устройств интеллектуальной обработки данных в реконфигурируемой гетерогенной распределенной суперкомпьютерной среде / Антонов А.П., Заборовский В.С., Киселев И.О. // В сборнике: XII Мультиконференция по проблемам управления (МКПУ-2019). материалы XII мультиконференции по проблемам управления (МКПУ-2019): в 4 томах. – 2019. – с. 33-35.
5. Заборовский В.С. Гибридные суперкомпьютерные системы на основе программной платформы OpenCL / Заборовский В.С., Антонов А.П., Мамутова О.В., Киселев И.О., Антонов К.А. // В сборнике: Суперкомпьютерные технологии (СКТ-2018). Материалы 5-й Всероссийской научно-технической конференции. – 2018. – с. 157-161.
6. Antonov A. Developing a New Generation of Reconfigurable Heterogeneous Distributed High Performance Computing System. / Antonov A., Zaborovskij V., Kiselev I. // Proceedings of International Scientific Conference on Telecommunications, Computing and Control. Smart Innovation, Systems and Technologies – Springer, Singapore – Vol. 220.– 2021 – P. 255-265.

Представление научного доклада: основные положения

1. Обоснование необходимости разработки нового поколения реконфигурируемых вычислителей и их интеграции в существующие

вычислительные системы.

2. Проектирование аппаратных средств реконфигурируемых вычислительных систем.
3. Разработка инструментального ПО для реконфигурируемых вычислителей.
4. Разработка архитектуры распределенных высокопроизводительных реконфигурируемых систем.

Соответствие диссертации паспорту специальности. Диссертация соответствует паспорту специальности 09.06.01_03 - «Элементы и устройства вычислительной техники и систем управления, технические науки».

СОДЕРЖАНИЕ РАБОТЫ

Диссертационная работа состоит из введения, четырех глав, заключения, списка литературы и приложений.

Во введении представлено обоснование актуальности темы диссертационного исследования, проведен анализ состояния вопроса, поставлены цель и задачи научного исследования, сформулирована научная новизна и практическая ценность.

В первой главе Проанализирована литература в области высокопроизводительных вычислений. **Рассмотрены** современные проблемы масштабируемости суперкомпьютерных систем и повышения их эффективности. **Рассмотрены** методы высокоуровневого синтеза аппаратуры, которые позволяют использовать языки высокого уровня абстракции для программирования реконфигурируемых вычислителей.

С совершенствованием техпроцесса промышленность приблизилась к технологическому пределу уменьшения площади транзистора. Таким образом становится необходимым увеличивать производительность вычислительных систем за счет:

1. увеличения количества узлов в высокопроизводительных кластерах и распределенных системах.
2. оптимизации программного обеспечения.
3. оптимизации архитектуры вычислителей.

Основной подход, рассматриваемый в ходе исследования — оптимизация архитектуры вычислительных систем. Подобно программной оптимизации, архитектурная оптимизация позволяет достичь значительного ускорения не только за счет распараллеливания вычислений, но и за счет ускорения выполнения последовательной части операций, так как для известной задачи можно создать эффективный специализированный вычислитель.

Также особое значение приобретают эксплуатационно-экономические характеристики вычислительных систем: стоимость обслуживания, возможность поэтапной модернизации.

При этом в рамках существующих архитектур суперкомпьютеров универсального способа решения проблемы повышения эффективности суперкомпьютерных систем для прикладных задач различного класса не существует. На большом пласте задач классические суперкомпьютерные системы показывают 5-

10% от своей пиковой производительности.

Так как объединение отдельных вычислителей в кластерную систему, работающую над решением одной вычислительной задачи, процесс нетривиальный, а эффективность решения задачи зависит от того, как информационная структура алгоритма отображается на архитектуру выбранного вычислителя (включая процессорные элементы, имеющиеся каналы связи и блоки памяти). Эту задачу оптимальным образом решают реконфигурируемые вычислители на базе FPGA.

FPGA представляет собой интегральную схему, которая может изменять свою внутреннюю структуру в соответствии с решаемой задачей. Современная микросхема FPGA может быть сконфигурирована для решения новой задачи сразу после выполнения текущей задачи. FPGA может также быть частично сконфигурирована.

Так как реконфигурируемые вычислители являются принципиально новым классом устройств в сфере высокопроизводительных вычислений, то на данный момент отсутствуют общепринятые методы проектирования реконфигурируемых вычислительных систем, которые бы включали:

- Подходы к разработке архитектуры системы в целом.
- Методику разработки аппаратного обеспечения.
- Методику разработки ПО промежуточного уровня (прошивка FPGA, драйверы, вспомогательное ПО)
- Методики проектирования прикладного ПО.

Для решения поставленных в исследовании целей было поставлено и формализовано задание на разработку аппаратно-программного комплекса, состоящего из реконфигурируемых вычислителей и инструментального ПО для них.

Во второй главе были проанализированы существующие реконфигурируемые ускорители. Исходя из требований поставленных при формализации целей и задач исследования были разработаны и апробированы 5 реконфигурируемых ускорителей различных типов, предназначенных для решения различных классов задач.

Разработка вычислителя RHA_4x

Для решения наиболее ресурсоемких задач необходимо было разработать вычислитель формата PCIe x16 с наибольшей возможной плотностью логических ячеек на единицу площади в масштабах ЦОД. Так как в одно серверное шасси

помещается не более 4 полноразмерных карт расширения PCIe x16 для увеличения количества вычислительных ресурсов в рамках одного вычислителя было принято решение разместить максимально возможное количество микросхем, обладающих достаточно большим ресурсом как по логическим элементам, так и по DSP блокам.

Среди линейки FPGA фирмы Xilinx были выбраны микросхемы xsku115 в корпусе BGA1517.

Физические размеры карты, формата PCIe позволяют разместить не более 4 микросхем такого размера (с учетом необходимости размещения на плате вторичных источников питания, памяти и т. д.).

Структурная схема реконфигурируемого вычислителя RHA_4x представлена на рис. 1:

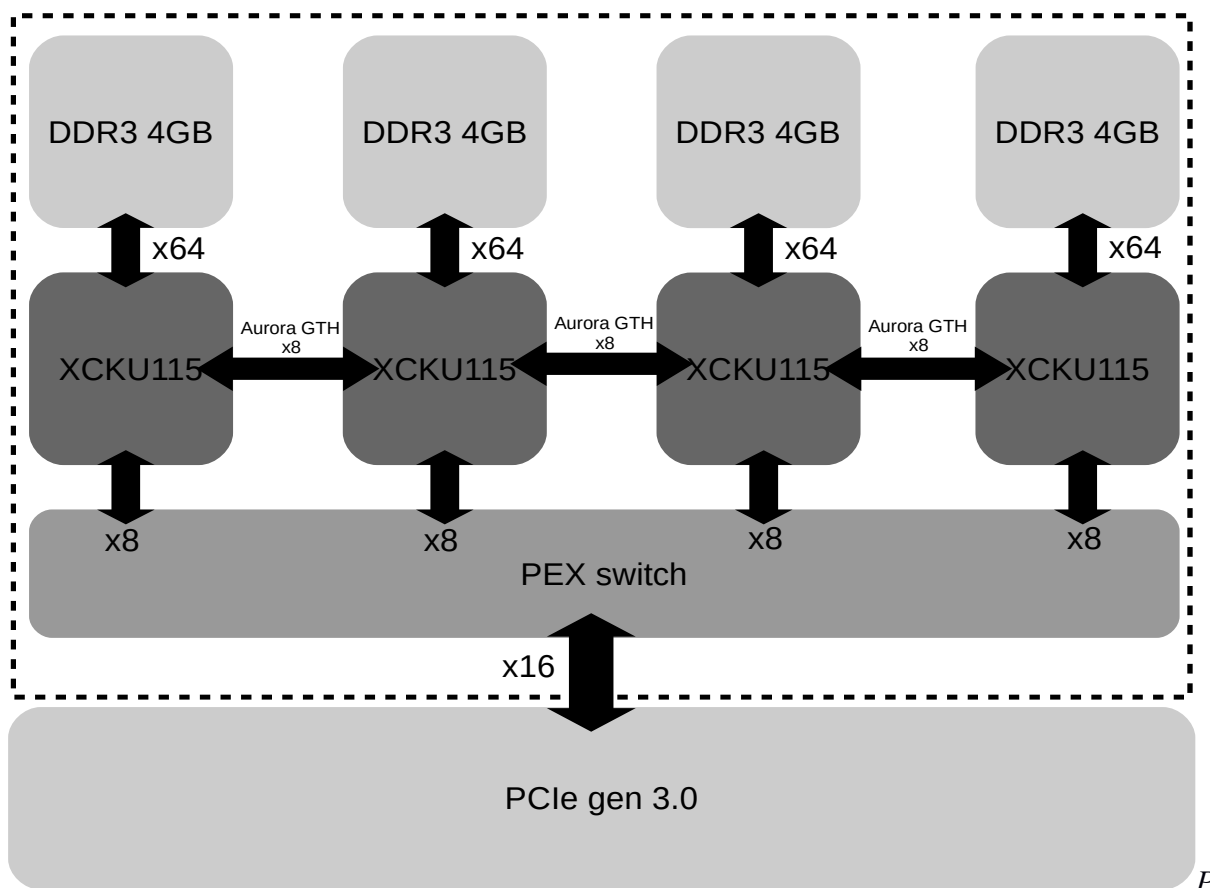


рис. 1 Упрощенная структурная схема реконфигурируемого вычислителя RHA_4x

Интерфейсом коммуникации между хостом и FPGA служит PCIe x16. Сигнальные линии с краевого разъема PCIe приходят на разветвитель. Разветвитель разделяет шину PCIe x16 на 4 шины PCIe x8, при этом операционная система хост-компьютера видит плату как 4 независимых устройства PCIe x8. Каждая FPGA имеет

свою DDR3 память объемом 4ГБ и разрядностью шины данных в 64 бита. Также соседние FPGA соединены между собой линиями высокоскоростного интерфейса Aurora шириной 8 бит, каждая линия интерфейса обеспечивает пропускную способность в 16Гб/с.

Хотя стандартом OpenCL не предусматривается использование периферийных интерфейсов и взаимодействие между вычислителями без участия хоста, данный вычислитель может так же использоваться вне рамок данного стандарта и высокоскоростные каналы между микросхемами FPGA увеличивают гибкость при разработке.

Разработка вычислителя URC_X3

После апробации вычислителя RHA_4x, описанного в предыдущем разделе был проведен анализ достоинств и недостатков полученной конструкции. При решении сложных вычислительных задач часто возникали случаи недостатка памяти данных на вычислителе.

Для задач, требующих больших объемов DRAM памяти была разработана модификация RHA_4x — URC_X3. При разработке конструкции было принято решение заменить распаянные на плате микросхемы памяти на SO-DIMM разъемы, по 1 на каждую микросхему FPGA. Также было принято перейти на более новое поколение памяти DDR4 и добавить поддержку ECC (разрядность шины данных увеличилась до 72 бит). Структурная схема вычислителя URC_X3 представлена на рис. 2.

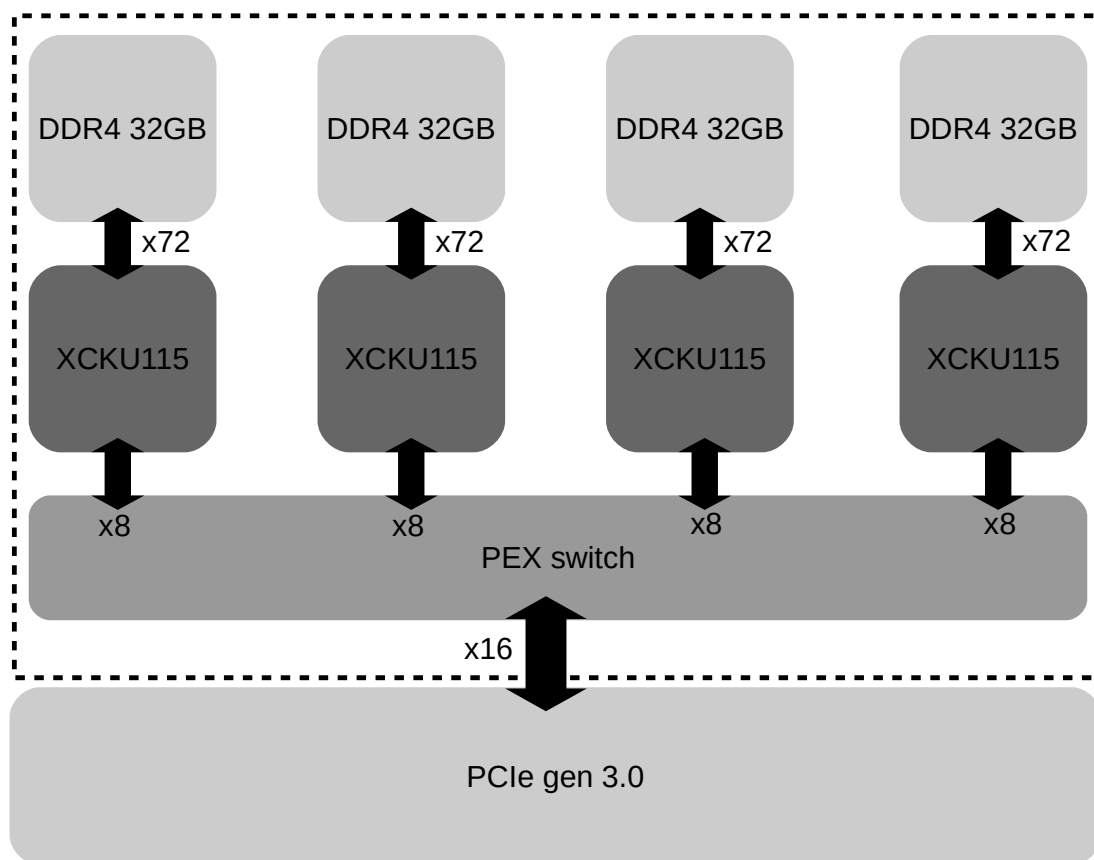


Рис. 2 Упрощенная структурная схема реконфигурируемого вычислителя URC X3

Для того, чтобы разместить разъемы для памяти пришлось отказаться от интерфейса Aurora. Несмотря на это возможность реализовать перекрестные связи между FPGA осталась, так как в используемом разветвителе интерфейса PCIe (PEX8747) есть возможность peer-to-peer обмена данными между подключенными к нему устройствами, однако в таком случае они разделяют общие ресурсы шины PCIe, что может стать «бутылочным горлышком» в работе приложения.

Разработка вычислителя URC_A5

Так как в ЦОД или суперкомпьютерном кластере данные, такие как базы данных, расположены в отдельных узлах хранения, подключенных к общей сети через ВОЛС, для ряда задач, таких как Big Data Analysis или обучения искусственных нейронных сетей, требующих от вычислителя постоянного доступа к большим массивам данных (от 100GB), задержки при обращении к памяти превышают время выполнения вычислений. Гораздо большую эффективность на таких задачах могут показать вычислители, имеющие независимое от общей системы хранилище данных и прямой доступ к общему системному хранилищу.

Исходя из описанных выше требований был разработан реконфигурируемый

вычислитель URC_A5, обладающий возможностью подключения до 4 высокоскоростных NVME SSD, а так же имеющий 2 оптических 40Гб/с интерфейса. Структурная схема вычислителя URC_A5 представлена на рис. 3.

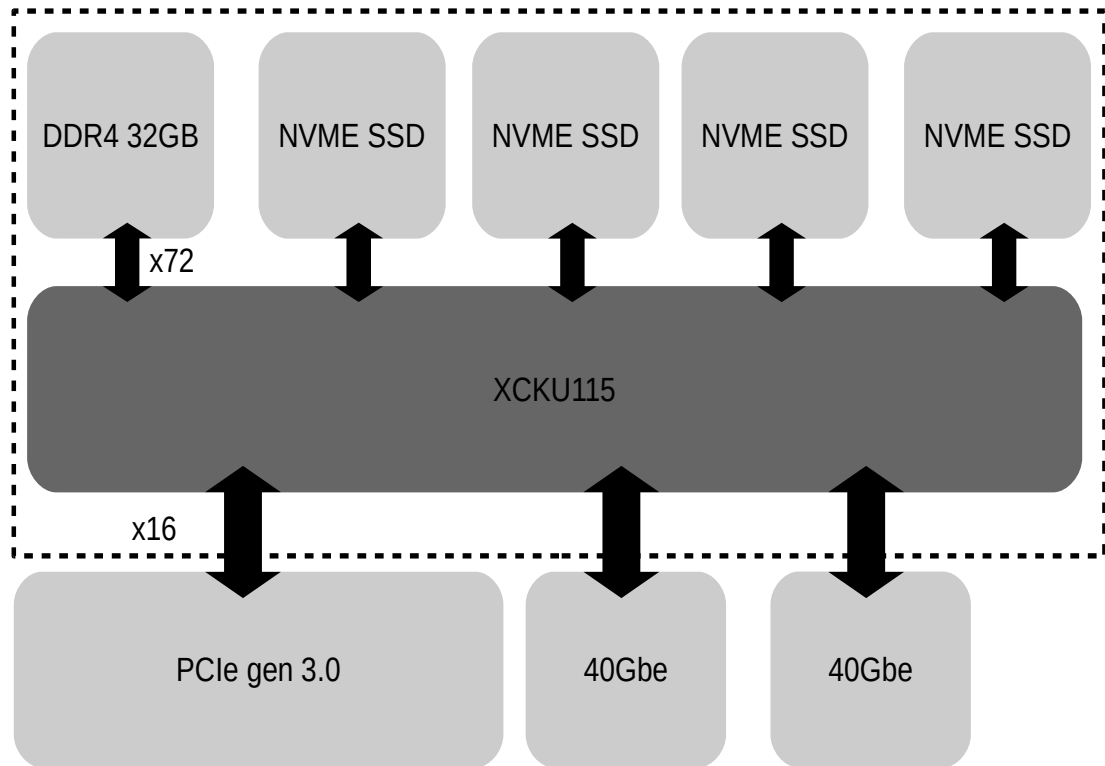


Рис. 3 Упрощенная структурная схема реконфигурируемого вычислителя URC X3

Возможности вычислителя позволяют подключить к нему до 4 NVME SSD формата M.2 (2280, key M) объемом до 2ТБ каждый. Таким образом можно заранее загружать локально до 8ТБ данных и затем заниматься их обработкой.

Разработка вычислителя Recorder

Так как современные высокопроизводительные вычислительные системы являются в том числе распределенными, то возникает необходимость обработки данных в непосредственной близости от анализируемого объекта. Такие узлы могут представлять собой встроенную систему (edge). Для встраиваемых систем критичными являются размеры и энергопотребление. Исходя из этого для их построения больше подойдут реконфигурируемые SoC, которые представляют собой один кристалл, на котором есть:

- FPGA
- Процессор (ARM)
- SIMD-ускоритель (NEON)

В качестве встраиваемого вычислительного узла был разработан реконфигурируемый вычислитель Recorder, построенный на SoC ZynqUltrascale+ (XCZU7EV).

Структурная схема вычислителя Recorder представлена на рис. 4. На плате есть разъемы для подключения NVME SSD, которые обеспечивают локальное хранилище данных. Также на плате установлены радиочастотные АЦП и ЦАП для проведения различного рода радиоизмерений. К данной плате через внешние интерфейсы возможно подключение различного рода датчиков, в том числе видеокамер (через интерфейс Ethernet, USB), а так же присутствует возможность подключения вычислительного модуля NVIDIA Jetson (через интерфейс PCIe).

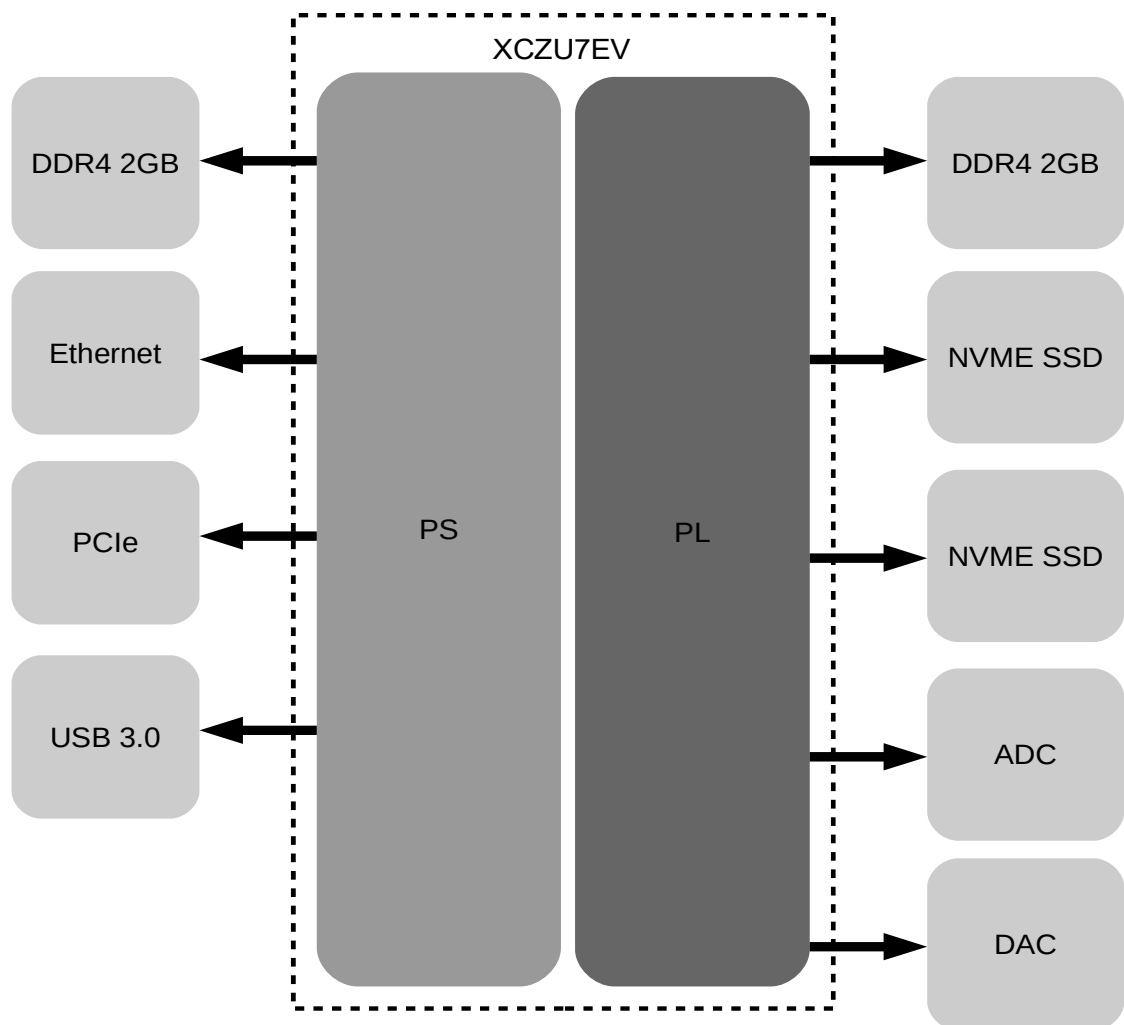


Рис. 4 Упрощенная структурная схема реконфигурируемого вычислителя Recorder

Разработка микровычислителя для обучения специалистов

Для работы с реконфигурируемыми вычислителями в составе гетерогенной

системы требуется также наличие высококлассных специалистов. К сожалению цены на FPGA высокого класса начинаются от 1000\$, в связи с этим весьма проблематично закупать реконфигурируемые вычислители для учебных задач.

В связи с этим была предложена конструкция бюджетного реконфигурируемого вычислителя, который бы, при доступной цене, позволял бы ознакомиться с маршрутом проектирования для реконфигурируемых вычислителей. Структурная схема вычислителя представлена на рис. 5.

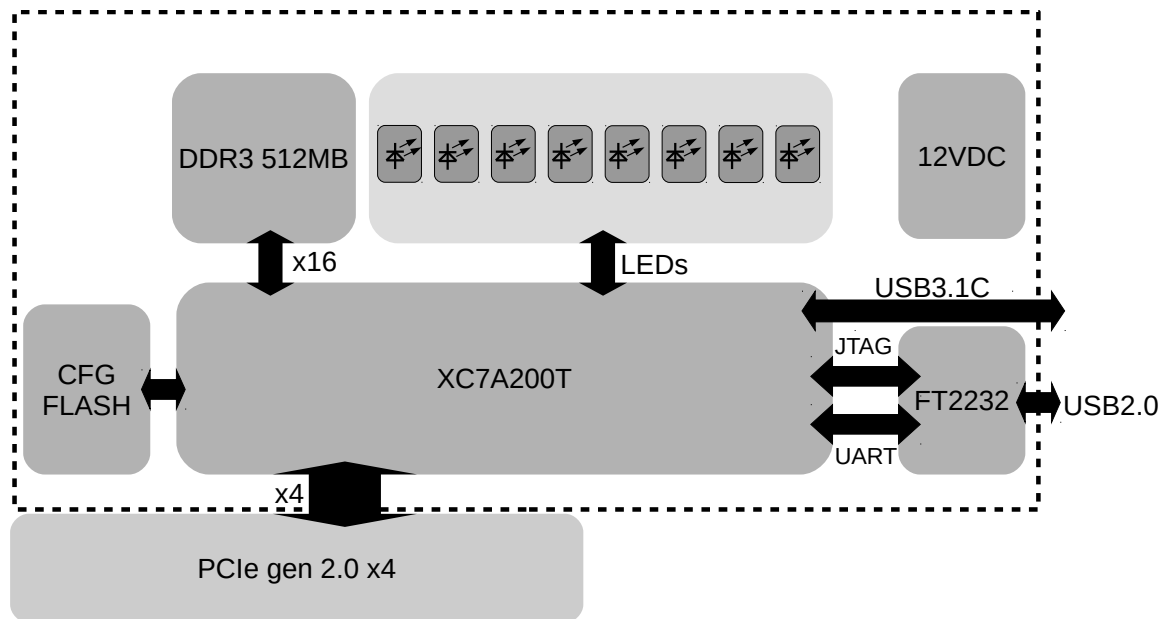


Рис. 5 Упрощенная структурная схема учебного реконфигурируемого вычислителя

Параметры используемой в учебном вычислителе микросхемы XC7A200T:

- Количество логических ячеек: 215 тыс.
- Внутренняя распределенная RAM память: 1.6МБ.
- Количество аппаратных DSP модулей: 740.
- Размеры корпуса: 23x23 мм.

Так как количество логических элементов и внутренней памяти в используемой FPGA на порядок меньше, чем в микросхеме xsku115, вычислительная мощность не позволяет использовать её на реальных задачах в высокопроизводительных системах, однако она совместима со всем инструментальным ПО и достаточно дешева для использования в лаборатории студентами.

Сравнительный анализ разработанных реконфигурируемых вычислителей с аналогами

В таблице 1 показано сравнение разработанных вычислителей с аналогами, рассмотренными в начале главы. При составлении таблицы 1 учитывалось, что часть логики неизбежно пойдет на реализацию сервисных функций (ввод/вывод, транспорт данных и т.д). Так же максимально возможная частота работы обратно пропорциональна количеству задействованных ресурсов FPGA. Поэтому исходя из предыдущего опыта разработки были сделаны следующие допущения:

- Для вычислительных целей используется 80% доступных логических ячеек.
- Тактовая частота составляет 300МГц.
- Одинарная точность (float 32 bit)

Таблица 1. Таблица сравнения разработанных вычислителей с аналогами

Вычислитель	Кол-во логических элементов, тыс.	Кол-во встроенных блоков DSP, шт.	Объем интегрированной RAM, МБ	Объем внешней DRAM (HBM), ГБ	Потребляемая мощность	Производительность/ GFLOPS
Alveo U250	1728	12288	46	64	225	2457.51
Alveo U280	1304	9024	35	32(8)	225	1804.74
520N-MX	2073	3960	29	32(16)	225	1714.7
510T	2300	3036	13	32	225	1604.38
RNA_4x	5804	22080	38.8	16	298	4790.47
URC_X3	5804	22080	38.8	128	305	4790.47
URC_A5	1451	5520	9.7	32	80	1197.62

Из таблицы 1 видно, что вычислители RNA_4x и URC_X3 обладают наибольшим количеством логических как логических ячеек, так и DSP блоков по сравнению с аналогами. Вычислитель URC_X3 обладает наибольшим объемом внешней памяти среди всех рассмотренных.

В третьей главе описан разработанный комплекс инструментального ПО, которое позволяет программисту разрабатывать прикладное ПО для спроектированных вычислителей, а так же позволяет оценить их эксплуатационные характеристики.

Пакет поддержки платформы OpenCL

Для поддержки OpenCL необходимо в качестве интерфейса взаимодействия с хост-компьютером использовать PCIe. Так как интерфейс PCIe предусматривает операцию э Enumerации при перезагрузке компьютера, то при обычной реконфигурации FPGA связь разрывалась бы и не могла восстановиться без перезагрузки компьютера. Для решения этой проблемы используется технология частичной реконфигурации: на кристалле FPGA создается область, которая может быть реконфигурирована без внесения изменений в остальные блоки.

Для корректной работы с OpenCL необходимо предварительно определить реконфигурируемую и статическую область и поместить в них соответствующие функциональные блоки.

На рисунке 6 приведена структура проекта FPGA, которую необходимо реализовать для того, чтобы соответствовать стандарту OpenCL.

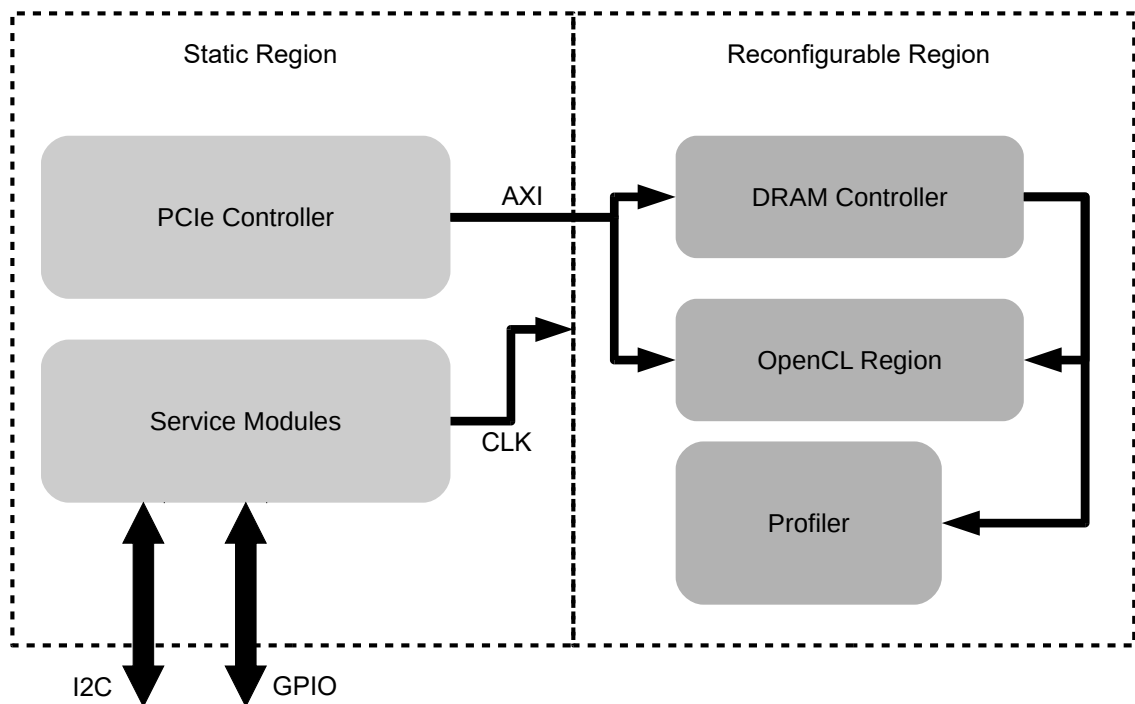


Рис. 6 Структура платформы OpenCL

В статической области находится контроллер интерфейса PCIe, который служит для передачи данных с хост-компьютера в вычислитель и обратно. Также в статической области находятся различные сервисные блоки, такие как: модуль опроса температуры кристалла, контроллер шины I2C для взаимодействия с датчиками на плате, генератор тактовых частот, GPIO и др.

В реконфигурируемой области расположены: контроллер DRAM памяти,

профилировщик приложений и модуль OpenCL Region. Данный модуль служит «заглушкой», на место которой после компиляции приложения помещается синтезированное «ядро», выполняющее вычисления.

На реализацию данного вспомогательного проекта уходит достаточно большое количество логических ресурсов, поэтому ускорители с поддержкой OpenCL лучше всего реализовывать на «больших» моделях FPGA. В таблице 2 приведены затраты на реализацию аппаратного проекта для микросхемы xsku115.

Таблица 2. Затраты на реализацию платформы OpenCL (xsku115)

Тип ресурса	Использовано	Доступно	Использовано%
LUT	91993	663360	13.87
LUTRAM	14376	293760	4.89
FF	127210	1376720	9.59
BRAM	177	2160	8.19
DSP	3	5520	0.05
IO	128	624	20.51
GT	8	48	16.67
BUFG	20	1248	1.6
MMCM	3	24	12.5
PLL	4	48	8.33

Из таблицы Рис. видно, что на реализацию вычислительного ядра остается 87% логических ячеек.

На рисунке 7 представлена иерархическая структура ПО, которое обеспечивает взаимодействие пользовательского приложения на хост-компьютере и акселератора.

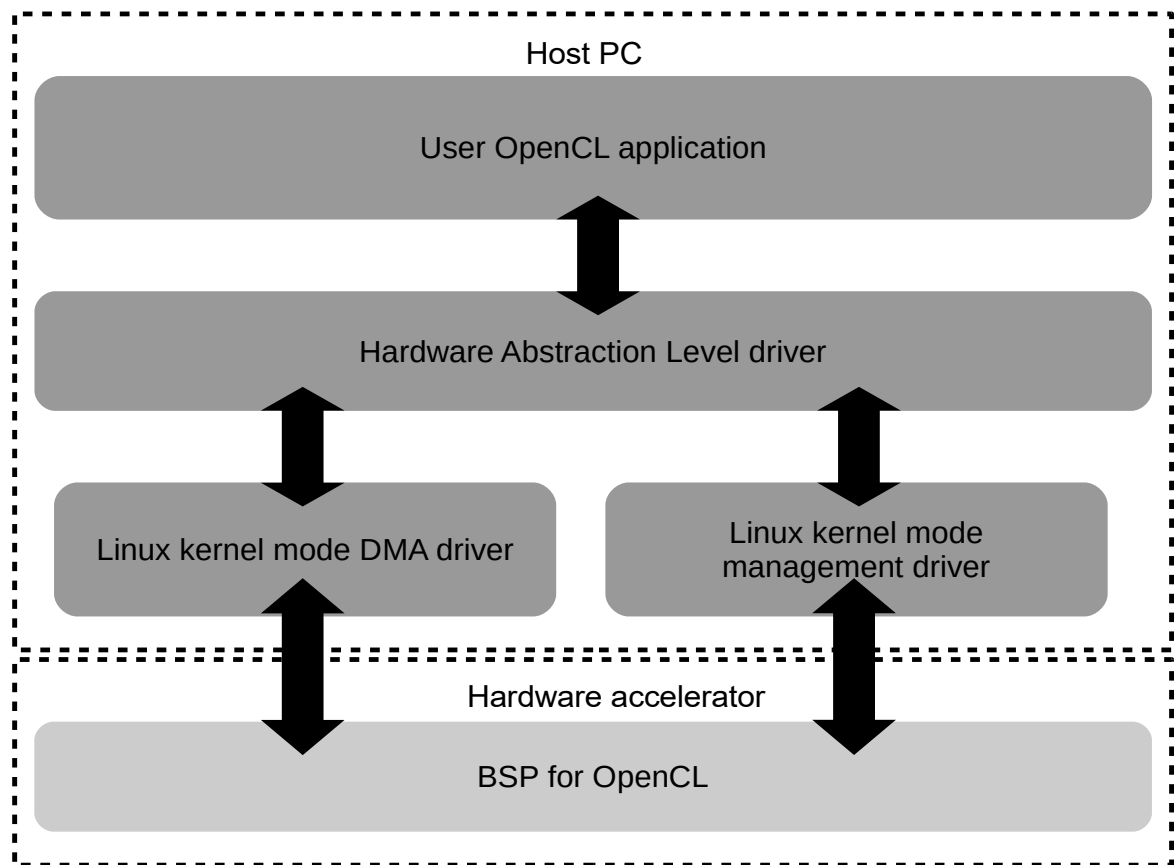


Рис. 7 Программный стек пакета поддержки платформы OpenCL.

Самый верхний слой — это хост код OpenCL приложения. Приложение использует API HAL-драйвера. HAL драйвер представляет собой прослойку между функциями, определенными стандартом OpenCL и драйверами ядра ОС Linux. В программный стек входят 2 драйвера ядра ОС: DMA драйвер и Management драйвер. Первый — обеспечивает передачу данных между хостом и акселератором. Второй — обеспечивает сервисные функции, такие как: получение информации о: версии прошивки FPGA, количестве доступных каналов памяти, температуре кристалла и т. д.

Создание инструментального ПО для низкоуровневых приложений

Так как для уже созданной платы набор интерфейсных модулей может быть определен заранее, можно упростить создание пользовательских приложений создав шаблон с готовыми интерфейсами и IP-ядрами.

Для определения реальных эксплуатационных характеристик вычислителя как устройства потоковой обработки данных был создан специальный тест, позволяющий определить:

- Реальную пропускную способность вычислителя при допущении, что

пользовательское приложение использует все доступные высокоскоростные интерфейсы.

- Правильно ли спроектирована аппаратно-программная реализация сравнив данные на входе и выходе.

Структура проекта FPGA представлена на рисунке 8.

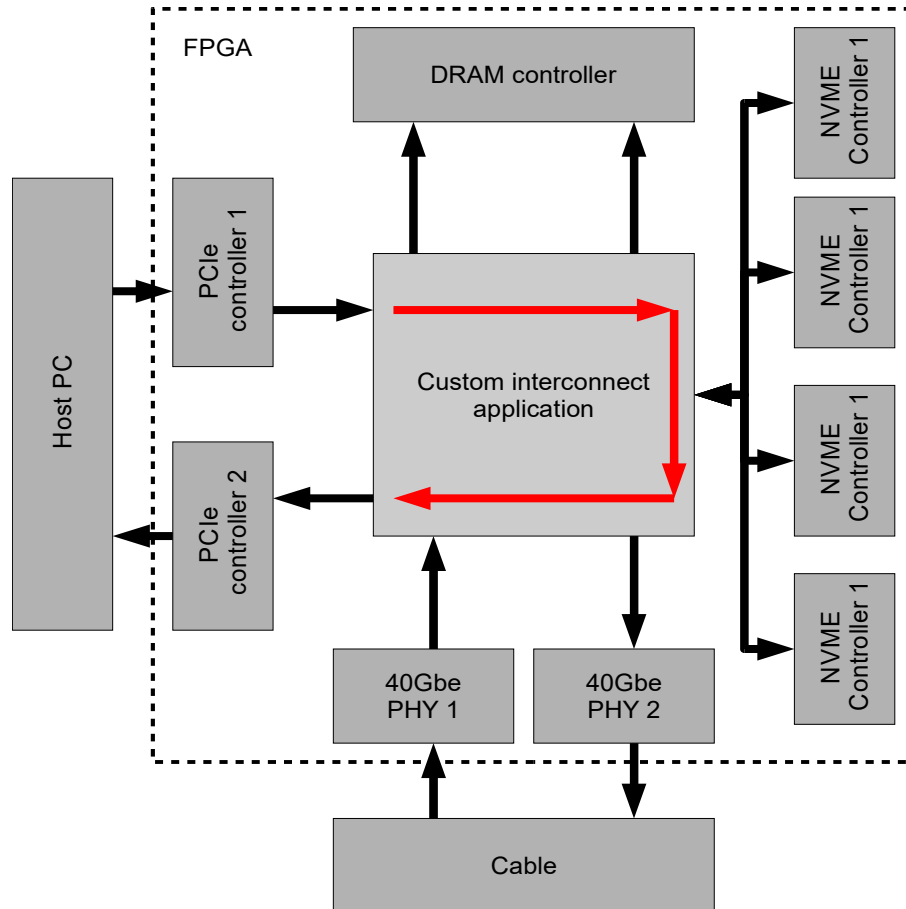


Рис. 8 Схема теста пропускной способности

Данные с хост-компьютера поступают в PCIe контроллер 1, а затем считываются из PCIe контроллера 2. Направление передачи данных внутри FPGA обозначено красной стрелкой.

В ходе экспериментов была подтверждена корректность работы системы в целом и получен результат пропускной способности показанной на рисунке Рис. петли: 3.21ГБ/с.

Разработка модуля для нагрузочного тестирования

Основным назначением проекта является максимальная нагрузка FPGA для

проверки источников питания платы и системы теплоотведения и как результат — определение типового энергопотребления при работе всех высокоскоростных интерфейсов и использовании максимального количества аппаратных ресурсов. Проект задействует набор базовых элементов FPGA (логика, триггеры, память, DSP) количеством порядка 80-90% от общего объема имеющихся ресурсов микросхемы.

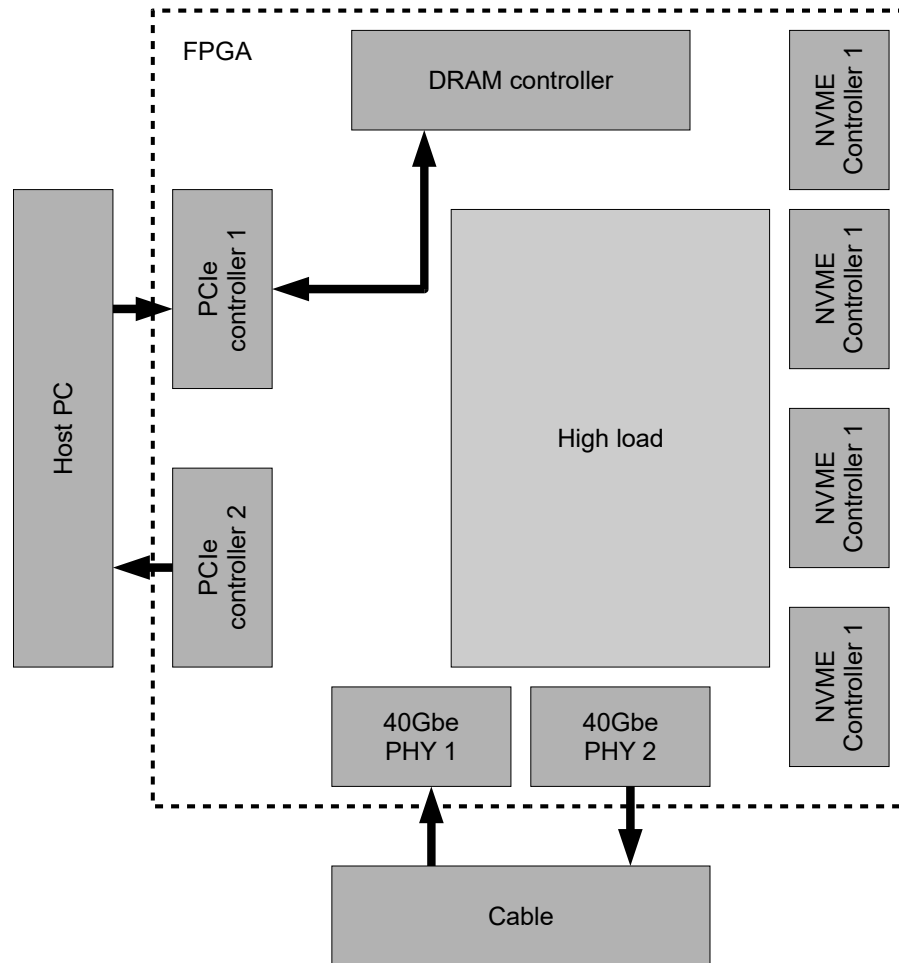


Рис. 9 Схема проекта нагрузочного тестирования

Общая схема проекта представлена на рисунке 9.

Хост-компьютер имеет доступ только к каналу передачи данных PCIe — DRAM. Все остальные интерфейсные модули синтезированы, на них подается тактовый сигнал, но они работают «вхолостую», не выполняя полезной работы.

В данном проекте используется специализированный модуль High load, который представляет собой искусственную параметризованную модель вычислителя. Затраты по логическим ресурсам, триггерам, DSP-ядрам и встроенной RAM находятся в пределах от 80 до 92 %. Полученный результат очень близок к

реальным эксплуатационным условиям.

В четвертой главе рассмотрен процесс и методы проектирования архитектуры распределенной реконфигурируемой вычислительной системы на базе спроектированных ранее аппаратных и программных средств.

Разработка архитектуры системы

В рамках диссертационного исследования была предложена архитектура распределенной вычислительной системы на базе ускорителей URC_A5, URC_X3 и Recorder. Данная структура приведена на рисунке 10.

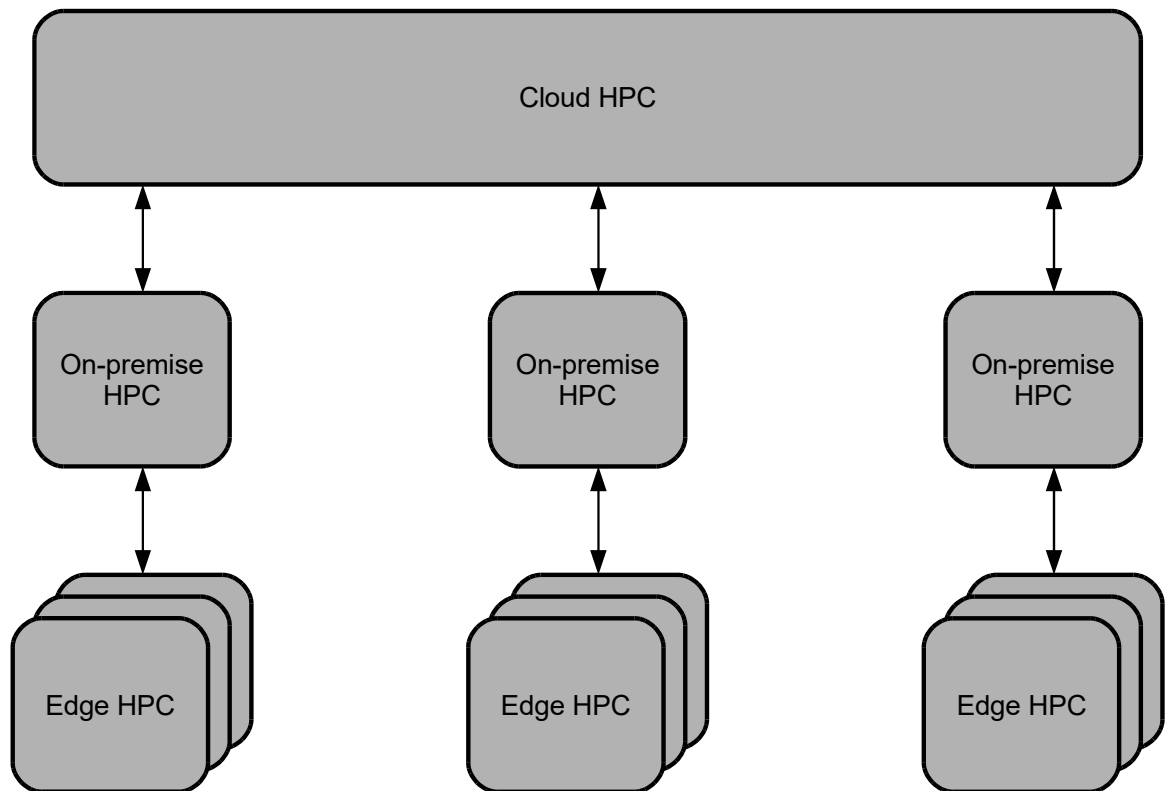


Рис. 10 Упрощенная структура распределенного реконфигурируемого кластера

Основой вычислительной системы является облачный кластер (Cloud HPC). Данный кластер выполняет основную работу по анализу данных и моделированию сложных систем на их основе. Сбором данных и предварительной их обработкой занимается встраиваемый вычислитель (Edge HPC). В нем имеются датчики и устройства взаимодействия с внешним миром. Данные вычислители располагаются непосредственно на местах сбора данных, в непосредственной близости от объектов управления и т. д. Данные, подвергнутые предварительной обработке и фильтрации передаются на локальный вычислительный узел (On-premise HPC). Данный узел представляет собой ПК, оснащенный реконфигурируемым вычислителем. Он

осуществляет взаимодействие с массивом встраиваемых вычислителей и осуществляет промежуточную обработку этих данных и их отправку в облачный кластер.

Модель работы с данными

Обобщим модель работы с данными: от их сбора, преобразования и до получения результата с использованием рассмотренной архитектуры распределенной системы. Функциональная схема преобразования данных показана на рисунке 11.

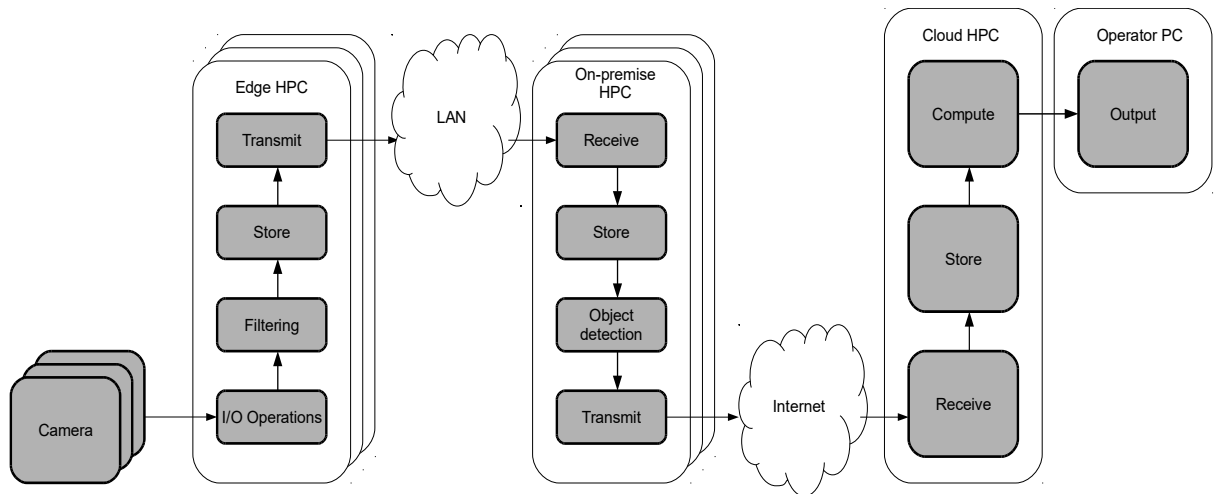


Рис. 11 Структура вычислительного узла

Первичные данные, собранные встраиваемым ускорителем подвергаются предобработке. Так как на каждый локальный вычислительный узел поступают данные от нескольких штук до нескольких десятков встраиваемых вычислителей необходимо уменьшить объем этих данных как минимум на порядок.

В локальном узле осуществляется еще один этап промежуточной обработки информации.

Облачный кластер собирает полученные с каждого локального узла данные, сохраняет их в базу данных, находящуюся в узле хранения и, затем, выполняет анализ «больших данных», получая необходимый конечному потребителю результат.

Благодаря описанной выше архитектуре, весь процесс обработки данных конвейеризирован и позволяет увеличить скорость вычислений по сравнению с традиционными подходами.

Список работ, опубликованных по теме научно-квалификационной работы (диссертации)

Публикации в изданиях, рецензируемых Scopus:

1. Antonov A. Developing a New Generation of Reconfigurable Heterogeneous Distributed High Performance Computing System. / Antonov A., Zaborovskij V., Kiselev I. // Proceedings of International Scientific Conference on Telecommunications, Computing and Control. Smart Innovation, Systems and Technologies – Springer, Singapore – Vol. 220.– 2021 – P. 255-265.

Публикации в изданиях, рецензируемых ВАК

1. Заборовский В.С. Специализированные реконфигурируемые вычислители в сетевых суперкомпьютерных системах / Заборовский В.С., Антонов А.П., Киселев И.О. // Системы высокой доступности. – 2018 – Вып. 14, № 3. – с. 57-62.
2. Антонов А.П. Гибридные суперкомпьютерные системы на основе программной платформы OpenCL / Антонов А.П., Заборовский В.С., Киселев И.О., Антонов К.А. // Известия ЮФУ. Технические науки. – 2018. – № 8 (202). С. 6-18.
3. Антонов А.П. Разработка аппаратно реконфигурируемого вычислителя с поддержкой стандарта OpenCL / Антонов А.П., Филиппов А.С., Киселев И.О. // Научно-технические ведомости СПбГПУ. Информатика. Телекоммуникации. Управление – 2018. – Т. 11, № 4. – с. 108–118.
4. Антонов А.П. Подходы к созданию устройств интеллектуальной обработки данных в реконфигурируемой гетерогенной распределенной суперкомпьютерной среде / Антонов А.П., Заборовский В.С., Киселев И.О. // В сборнике: XII Мультиконференция по проблемам управления (МКПУ-2019). материалы XII мультиконференции по проблемам управления (МКПУ-2019): в 4 томах. – 2019. – с. 33-35.
5. Заборовский В.С. Гибридные суперкомпьютерные системы на основе программной платформы OpenCL / Заборовский В.С., Антонов А.П., Мамутова О.В., Киселев И.О., Антонов К.А. // В сборнике: Суперкомпьютерные технологии (СКТ-2018). Материалы 5-й Всероссийской научно-технической конференции. – 2018. – с. 157-161.

Аспирант: Киселев Иван Олегович _____